

Debug Solutions Power Debugger

Debug System for Boundary Scan Board

バウンダリスキャンの原理

Debug Solutions

Power Debugger

ご注意

1. このソフトウェアの著作権は、Debug Solutions社にあります。
 2. このソフトウェアおよびマニュアルの一部または全てを無断で使用、複製することはできません。
 3. ソフトウェアは、コンピュータ1台につき1セット購入が原則となっております。
 4. このソフトウェアおよびマニュアルは、本製品の使用許諾契約書のもとでのみ使用可能です。
 5. このソフトウェアおよびマニュアルを運用した結果の影響については、いっさい責任をおいかねますのでご了承ください。
-

目次

1. バウンダリスキャン概要	2
1.1 バウンダリスキャン概要.....	2
1.2 バウンダリスキャン試験の原理.....	3
1.3 バウンダリスキャン対応デバイスについて.....	4
2. TEST ACCESS PORT(TAP)	6
2.1 概要.....	6
2.2 TEST ACCESS PORT.....	6
3. バウンダリスキャン周辺回路	9
3.1 概要.....	9
3.2 標準的な接続例.....	9
3.3 特殊な接続例.....	9
4. TAPコントローラ	12
4.1 TAPコントローラ概要.....	12
4.2 TAPコントローラの状態遷移.....	12
4.3 TAPコントローラの初期化.....	16
5. インストラクションレジスタ	18
5.1 インストラクションレジスタの構成.....	18
5.2 TAPコントローラのインストラクション.....	19
5.3 BYPASS INSTRUCTION.....	20
5.4 SAMPLE INSTRUCTION.....	21
5.5 PRELOAD INSTRUCTION.....	22
5.6 EXTEST INSTRUCTION.....	23
5.7 INTEST INSTRUCTION.....	25
5.8 RUNBIST INSTRUCTION.....	26
5.9 CLAMP INSTRUCTION.....	27
5.10 IDCODE INSTRUCTION.....	28
5.11 USERCODE INSTRUCTION.....	28
5.12 HIGHZ INSTRUCTION.....	28
6. TEST DATAレジスタ	30
6.1 TEST DATA レジスタの構成.....	30
6.2 バウンダリスキャンレジスタ.....	31
6.3 デバイスIDレジスタ.....	38

6.4	デザイン定義レジスタ	38
6.5	BYPASSレジスタ.....	38
7.	バウンダリスキャン試験詳細	40
7.1	バウンダリスキャン試験例	40
7.2	インフラ試験	41
7.3	ベクタ試験	43
8.	試験パターン生成.....	46
8.1	試験種別	46
8.2	出カインープル付きピンの影響.....	49
9.	エラー要因の検出	51
9.1	エラー要因の種類.....	51
9.2	1:1接続	52
9.3	1:N接続	54
9.4	N:1接続	56
9.5	N:N接続.....	58

Memo

第1章

バウンダリスキャン概要

1. バウンダリスキャン概要

1. 1 バウンダリスキャン概要

バウンダリスキャンテストは、1985年にヨーロッパのJETAG(Joint European Test Action Group)によって最初に提案されました。さらに1986年に米国企業のメンバが加わり、1990年に規格化されたのがIEEE std 1149.1-1990 Standard Test Access Port and Boundary-Scan Architectureです。この規格は、正式名称よりも、その作業グループの名称であるJTAG(Joint Test Action Group)が、規格名称であるかのように使われていますが、JTAGはあくまで作業グループの名称です。

バウンダリスキャンテストが制定された当初は、対応するデバイスが少なく、又PCBの製造性がよい日本国内ではあまり普及しませんでした。しかし、昨今ではデバイスパッケージの高密度化(多ピン化、BGA化)がすすみ、バウンダリスキャンに対応するデバイスが増えてきました。又CPUのインサーキットエミュレータ、FPGAのプログラムインターフェースにもバウンダリスキャンが使用されるようになってきています。

IEEE std 1149.1 Standard Test Access Port and Boundary-Scan Architectureは1993年、1995年、2001年に改訂されており、最新の規格はIEEEホームページ <http://www.ieee.org> を参照して下さい。

1. 2 バウンダリスキャン試験の原理

バウンダリスキャンテストはPCB上のバウンダリスキャン対応デバイスを一筆書き(デージーチェーン)に接続し、外部からデバイスの入出力をコントロールすることで、PCB上のデバイスの試験を行なうものです。試験を行なうにはPCBに接続されたボードテスタ(PCやWS)からの4本の信号で試験の実行が行なわれます。

ボードテスタからのTDi信号はPCB上のバウンダリスキャンデバイスのTDiピンに接続されTDoピンから出力されます。TDoピンの信号は次のバウンダリスキャンデバイスのTDiに接続され、順番にPCB上の全てのバウンダリスキャンデバイスを接続し、最後のデバイスからのTDoピンはボードテスタのTDoに接続されます。又ボードテスタからのTCK, TMS信号はバス状に全てのバウンダリスキャンデバイスに接続されます。

バウンダリスキャンデバイスは外部I/Oピンと内部論理との間にバウンダリスキャンセルが配置されTDiピンからの信号とシフトレジスタを構成しており、適当なデータを入力することでバウンダリスキャンセルに接続された任意の出力ピンからデータを出力したり、入力ピンの状態をモニタすることが可能です。PCB上のバウンダリスキャン対応デバイスを一筆書き(デージーチェーン)に接続することで、ボードテスタからPCB上のバウンダリスキャンデバイスのI/Oピンを制御可能となります。

PCB上のあるネットの試験を行なう場合、そのネットに接続されたデバイスの出力ピンから”L”レベルを出力し、そのネットに接続されたデバイスの入力ピンで”L”を検出し、引き続き出力ピンから”H”レベルを出力し、デバイスの入力ピンで”H”を検出すればそのネットでの2つのデバイスは正常に接続されていると想定できます。

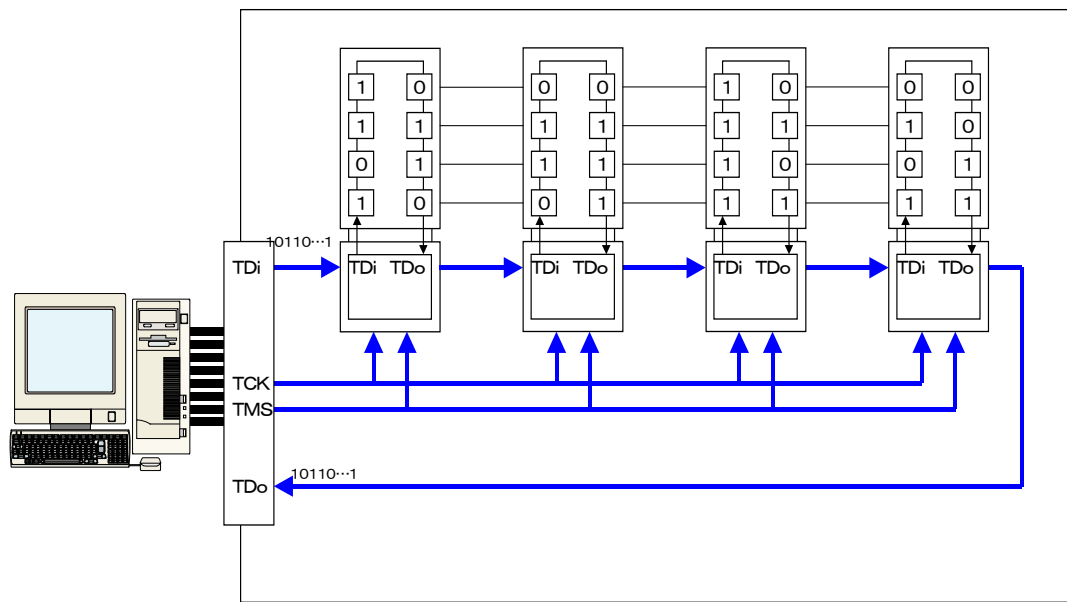


図1. 2-1 バウンダリスキャン試験の原理

第1章 バウンダリスキャン概要

1. 3 バウンダリスキャン対応デバイスについて

バウンダリスキャンデバイスはデバイス本来の内部ロジック機能の他にバウンダリスキャン試験機能を実現するためのレジスタとそのレジスタを制御するためのTAPコントローラが内蔵されています。レジスタへのデータ設定やTAPコントローラの制御のためにTCK, TMS, TDi, TDo, TRST(オプション)の5本の信号が必要となります。

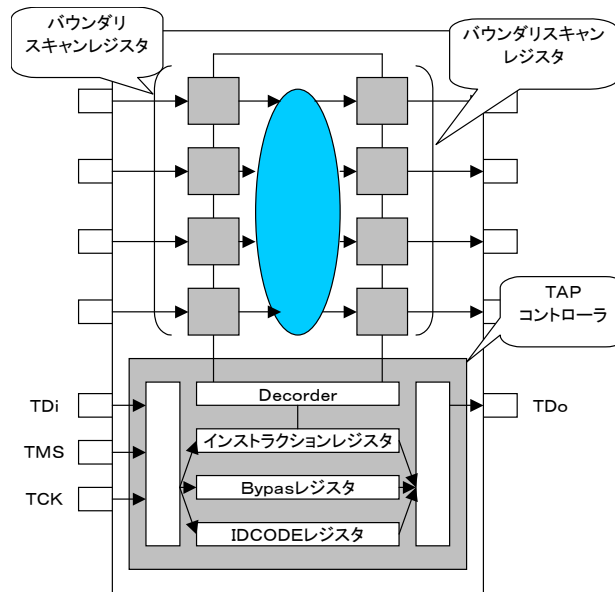


図1. 3-1 バウンダリスキャン内蔵レジスタ

第2章

Test Access Port (TAP)

2. Test Access Port (TAP)

2.1 概要

TAP(Test Access Port)はバウンダリスキャンデバイスに実装される、汎用ポートで、このポートを使って、様々なテスト機能を実現します。TAPはTCK, TMS, TDI, TDOから構成され、TRSTはオプションとなっています。

2.2 Test Access Port

(1) Test Clock Input(TCK)

TCKはデバイス間を接続するシリアルデータパスのシステムクロックとして使用されます。全てのテスト・オペレーションとスキャンオペレーションは、このTCKに同期して行われます。TCKは通常50%デューティの自走CLKに接続されることが理想ですが、多くの場合、一定の期間停止したりするような状況があります。IEEE Std 1149.1ではTCKが“0”の状態では停止する場合、テストロジックの状態を保持し続けることが規定されています。そしてクロックが再度動作を始めた場合、停止した状態から動作するようになっています。TCKが“1”の状態では停止した場合の動作の保証はオプションとなっています。

(2) Test Mode Select input(TMS)

テストロジックを制御する信号です。この信号は、テスト・オペレーションをコントロールするためにTAPでデコードされます。TAPの状態の変化は、TCKの立ち上がりエッジでサンプリングされます。TMS信号がドライブされない間はハイレベルでなければならない為、回路デザインでプルアップすることを推奨します(通常、デバイス内部にプルアップ抵抗が内蔵されます)。これにより、ノーマルオペレーション時は、Test-Logic-Resetの状態が確保されます。

(3) Test Data Input(TDI)

テストロジックに対して、命令やデータをシリアル入力する信号です。この入力は、選択されたレジスタ(インストラクションorデータレジスタ)に、TCKの立ち上がりに同期して入力されます。TMS信号がドライブされない間はハイレベルでなければならない為、ボードデザインでプルアップすることを推奨します(通常、デバイス内部にプルアップ抵抗が内蔵されます)。

(4) Test Data Output(TDO)

テストロジックからのデータをシリアル出力する信号です。この出力は、選択されたレジスタ(インストラクションorデータレジスタ)から、TCKの立ち上がりエッジでシフト・アウトされます。TDO出力の変化は、TCKの立ち下がりエッジまでは発生しません。シフトオペレーション以外の場合は、ハイインピーダンス状態となります。このため、ボードデザインにおいて、TDIとTDOを接続するバウンダリスキャンチェーンを構成するネットにはプルアップ抵抗を接続することを推奨します。

(5) Test Reset input(TRST)

TRSTはTAPコントローラの非同期リセットを入力します。TRSTに“0”が入力されると非同期でTAPコントローラは *Test-Logic-Reset* 状態になります。TRST信号がドライブされない間はハイレベルでなければならない為、回路デザインでプルアップすることを推奨します(通常、デバイス内部にプルアップ抵抗が内蔵されます)

TRST デバイスのシステムリセットとは独立しています。この為、バウンダリスキャン機能を使用しない場合、TRSTを

“0” にハード接続することでバウンダリスキャン機能をディスエーブル状態にできます。

バウンダリスキャン回路の動作を保証するために *TRSTが “0” から “1” に変化する間は TMSは “1” の状態を保つことが推奨されます。

第3章

バウンダリスキャン周辺回路

3. バウンダリスキャン周辺回路

3. 1 概要

バウンダリスキャンテストはPCB上のバウンダリスキャン対応デバイスを一筆書き(デージーチェーン)に接続し、外部からデバイスの入出力をコントロールすることで、PCB上のデバイスの試験を行います。試験を行うにはPCBに接続されたボードテスタ(PCやWS)からの4本の信号を用いて各デバイスのTAPコントローラを制御することにより、試験の実行が行なわれます。

3. 2 標準的な接続例

ボードテスタからの出力されるTDi信号はPCB上のバウンダリスキャンデバイスのTDiピンに接続されます。TDiピンの信号は次のバウンダリスキャンデバイスのTDiに接続され、順番にPCB上の全てのバウンダリスキャンデバイスを接続し、最後のデバイスからのTDiピンはボードテスタのTDiに接続されます。又ボードテスタからのTMS, (* TRST)信号はバス状に全てのバウンダリスキャンデバイスに接続されます

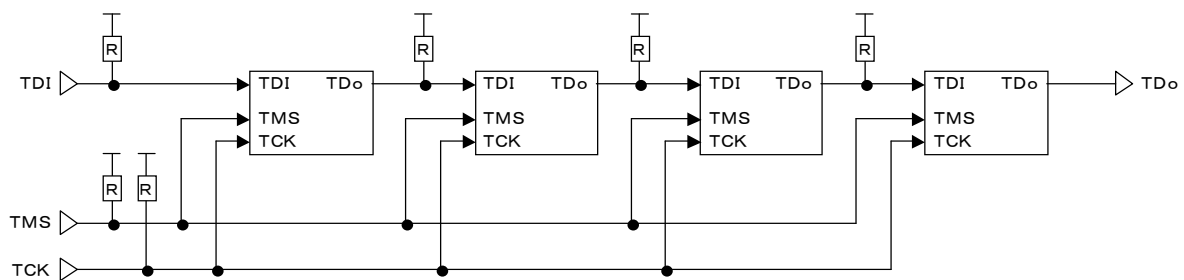


図3. 2-1 標準的な接続例

※プルアップ抵抗について

TDi出力はインアクティブ状態ではHi-Zとなります。TDiは内部プルアップ抵抗の内蔵が推奨されていますが、ボード上のノイズ等を考慮すると TDi の入力信号にはオンボードのプルアップ抵抗を接続するほうがよいと思われます。

3. 3 特殊な接続例

JTAGポートを用いたデバッグをもつCPUや、JTAGポートからプログラミングを行うPLDなどで、シリアル接続に対応していない場合があります。このような場合は、TMS信号を分けることで、異なるスキャンチェーンを構成します。

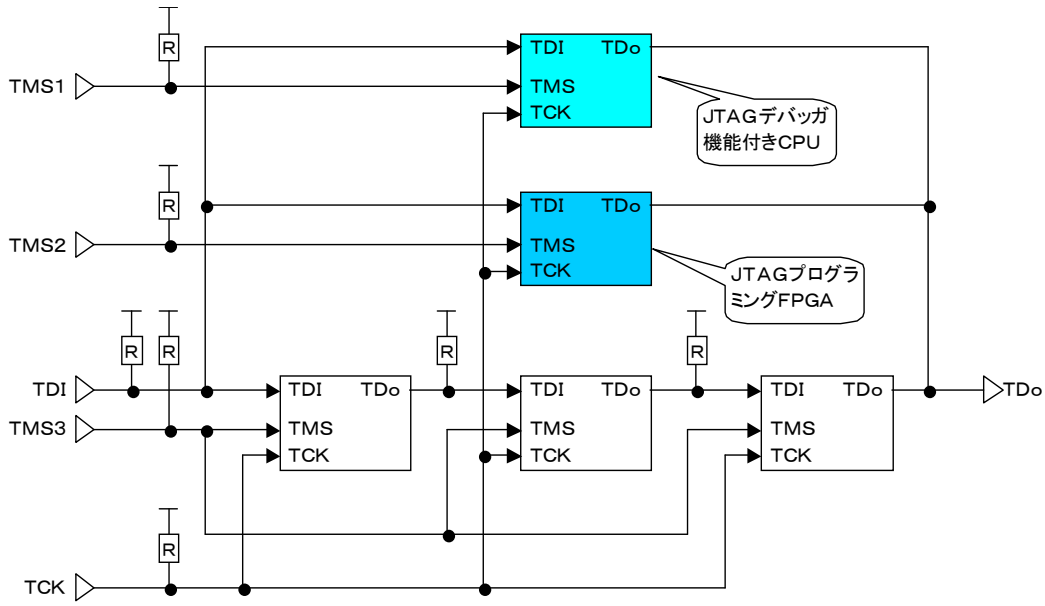


図3. 3-1 特殊な接続例

第4章

TAPコントローラ

4. TAPコントローラ

4.1 TAPコントローラ概要

TAPコントローラはTCKとTMS信号の組み合わせで変化するステートマシンを持っています。このステートマシンの状態遷移の中で、データの入出力や、インストラクションの入力/実行を制御します。

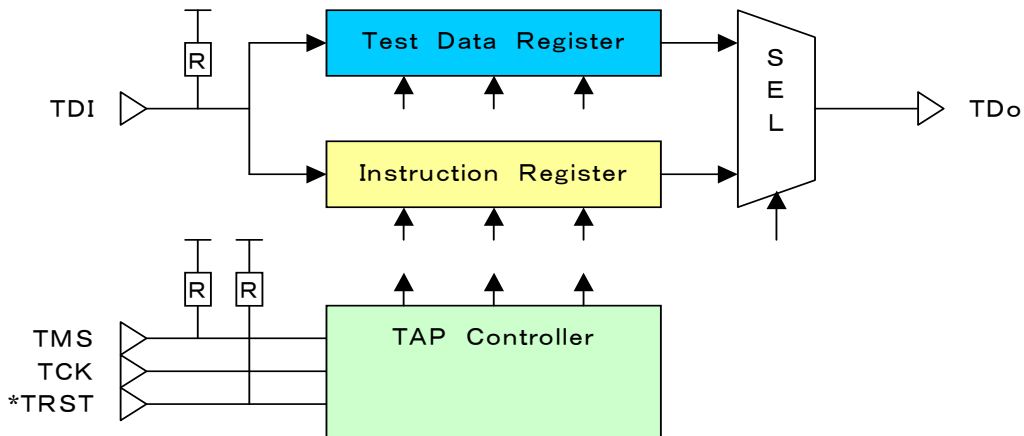


図4. 1-1 TAPコントローラの構成

4.2 TAPコントローラの状態遷移

TAPコントローラはTCKとTMS信号からなるシーケンス回路で、バウンダリスキャンデバイス内の全てのコントロールを行いません。その動作は以下のシーケンスマップで表現されます。TMS信号はTCKの立ち上がりエッジで取り込まれ、その時のレベル("0" or "1")でシーケンスが遷移します。又実行はTCKの立ち下がりエッジ又は立ち上がりエッジで変化します。

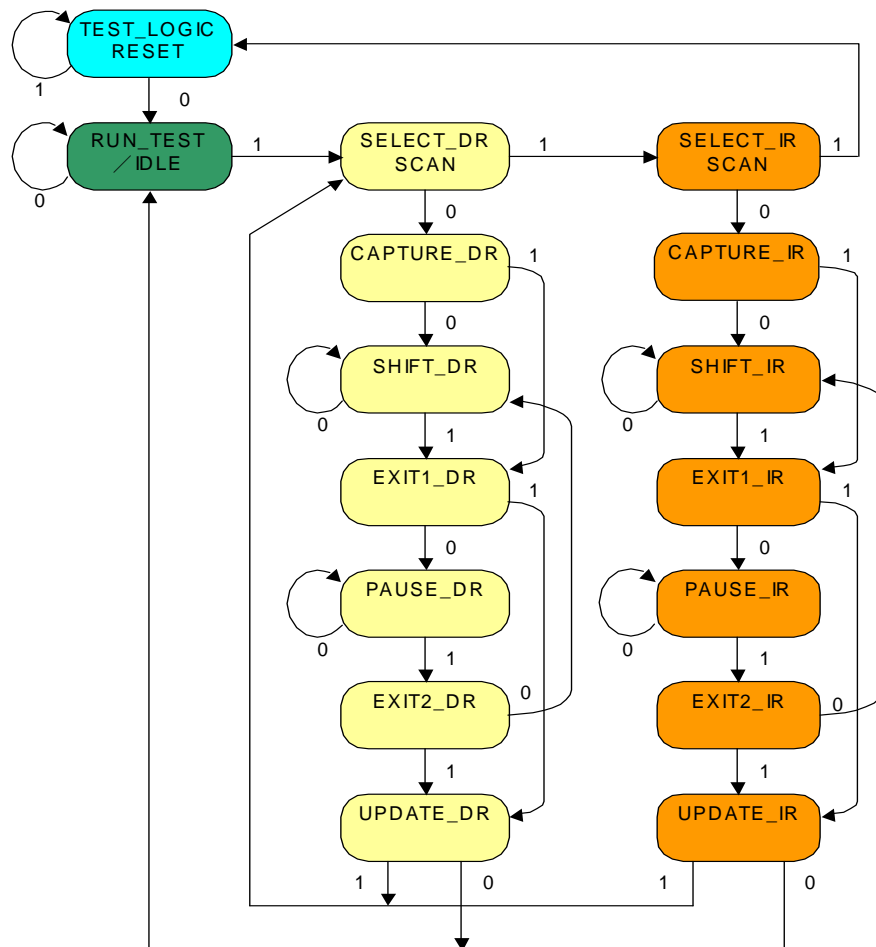


図4. 2-1 TAPコントローラの状態遷移

(1) Test Logic Reset

Test Logic Reset はバウンダリスキャン状態のリセット状態です。この状態では、チップのシステムロジックに対して影響を与えません。電源投入時やTRST信号に“L”を入力することで、この状態に遷移します。又、TMS信号に“H”レベルを5CLK間保つことで、どのシーケンス状態から *Test Logic Reset* ステートに移るようになっています。

もし、TCK信号の立ち上がり時に、ノイズ等の理由で、TMS信号に“L”レベルが入力され、*Test Logic Reset* ステートから *Run-Test/Idle* に状態が遷移したとしても、TMS信号に“H”レベルが入力されれば、TCK信号の3CLKで *Test Logic Reset* ステートに遷移します。又この状態遷移における *Run-Test/Idle* ⇒ *Select-DR-Scan* ⇒ *Select-IR-Scan* の状態ではバウンダリスキャンテスト回路は有効にならず、システムロジックには影響を与えません。

(2) **Run-Test/Idle**

Run-Test/Idle は 試験の実行、または *Test Logic Reset* からの通過 (Idle) ステートです。“L”レベルを保つことで無限にこのステートにとどまることができます。ある特定のインストラクションが選択されているとき、*Run-Test/Idle* ステートでバウンダリスキャンテスト回路が有効になります。例えば、インストラクションレジスタに RUN BIST がセットされている場合 *Run-Test/Idle* ステートでチップの自己診断テストを行います。

(3) **Select-DR-Scan**

データレジスタを制御するシーケンスへの移行を選択する一時的なステートです。

(4) **Capture-DR**

Capture-DR ステートでは TCK の立ち上がりエッジで、入力ピンに対しては、ピンの状態をバウンダリスキャンセル内のシフトレジスタ (Test Data Register) に取り込む動作を行い、出力ピンに対しては内部ロジックが出力している状態をシフトレジスタに設定する動作を行います。

(5) **Shift-DR**

Shift-DR ステートを実行すると、TCK の立ち上がりエッジで、シフトレジスタ (Test Data Register) 内のデータの 1 ビットシフトが実行され、TDi からデータが取り込まれ、シフトレジスタの最後のデータが TDo から出力されます。必要な回数分このステートを繰り返すことで、テストパターンデータのセットや、TDo からの試験結果の出力を行います。

(6) **Exit1-DR**

Exit1-DR は、*Shift-DR* 終了後、*Update-DR* に移行するか、*Pause-DR* に移行するかを選択する一時的なステートです。このステートでは現在のインストラクションで選択された Test Data Register のデータは変化しません。

(7) **Pause-DR**

Pause-DR はテストパターンデータのシフトを一時的に停止するためのステートです。このステートでは現在のインストラクションで選択された Test Data Register のデータは変化しません。

(8) **Exit2-DR**

Exit2-DR は、*Shift-DR* に戻るか、*Update-DR* に移行するかを選択する一時的なステートです。このステートでは現在のインストラクションで選択された Test Data Register のデータは変化しません。

(9) **Update-DR**

Update-DR では、TCK の立ち下がりエッジで、シフトレジスタの値を出力ラッチにセットします。

(10) **Select-IR-Scan**

インストラクションレジスタを制御するシーケンスへの移行を選択する一時的なステートです。

(11) **Capture-IR**

Capture-IR を実行すると、TCK の立ち上がりエッジで、IR ステータスワード (デバイスに定義された固定パターン

ン)がインストラクションレジスタに設定されます。

(12) **Shift-IR**

Shift-IR ステートを実行すると、TCKの立ち上がりエッジで、インストラクションレジスタ内のデータの1ビットシフトが実行され、TDiからデータが取り込まれ、又シフトレジスタの最後のデータがTDoから出力されます。必要な回数分このステートを繰り返すことで、インストラクションデータのセットや、TDoからのIRステータスワードの取り出しを行います。

(13) **Exit1-IR**

Exit1-IR は、*Shift-IR* 終了後、*Update-IR* に移行するか、*Pause-IR* に移行するかを選択する一時的なステートです。

(14) **Pause-IR**

Pause-IR はインストラクションレジスタのシフトを一時的に停止するためのステートです。このステートでは現在のインストラクションレジスタのデータは変化しません。

(15) **Exit2-IR**

Exit2-IR は、*Shift-IR* に戻るか、*Update-IR* に移行するかを選択する一時的なステートです。

(16) **Update-IR**

Update-IR はTCKの立ち下がりエッジで、シフトレジスタの値をインストラクションレジスタにセットします。インストラクションレジスタにセットされたインストラクションが、以後、実行されるインストラクションとなります。

TAPコントローラの状態遷移におけるTDoの出力状態を表4. 2-1に示します。

表4. 2-1 TDoの出力状態

状態	TDoから出力されるデータ
Test-Logic-Reset	Hi-Z
Run-Test/Idle	
Select-DR-Scan	
Select-IR-Scan	
Capture-IR	
Shift-IR	Instructionデータ
Exit1-IR	Hi-Z
Pause-IR	
Exit2-IR	
Update-IR	
Caputure-DR	Test データ
Shift-DR	
Exit1-DR	
Pause-DR	
Exit2-DR	
Update-DR	Hi-Z

第4章 TAPコントローラ

4. 3 TAPコントローラの初期化

Std 1149. 1 ではTAPコントローラの初期化を行うために Power On Reset 回路の実装が要求されています。又非同期リセット信号として *TRST 信号の実装も可能です。*TRST 信号はシステムロジックのリセット入力信号とは独立していなければなりません。リセット回路のブロック図を以下に示します。

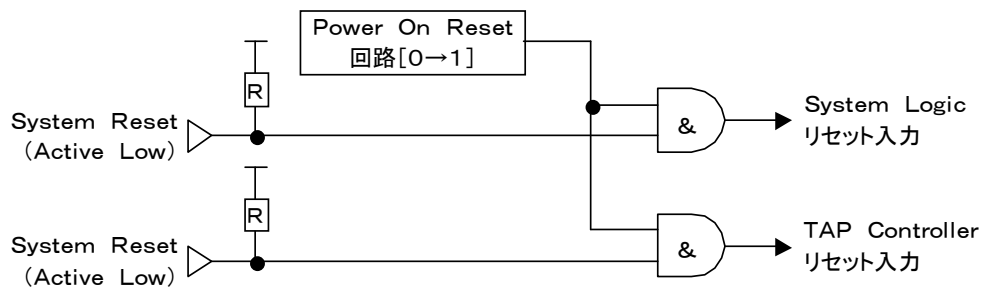


図4. 3-1 TAPコントローラのリセット回路

第5章

インストラクションレジスタ

5. インストラクションレジスタ

5. 1 インストラクションレジスタの構成

インストラクションレジスタはバウンダリスキャンテストを実行するためのテストパターンの取り込みやテストの実行を指示するための命令コード(インストラクション)をセットするためのレジスタです。インストラクションレジスタはTDIとTDOの間にあるシフトレジスタとそのデータを保持するレジスタから構成されます。レジスタ長は最低2ビットの大きさをもたなければなりません。インストラクションレジスタ内のシフトレジスタは *Test-Logic-Reset* ステートで IDCODE の値(IDCODEを持たない場合は、BYPASS命令)に初期化されます。

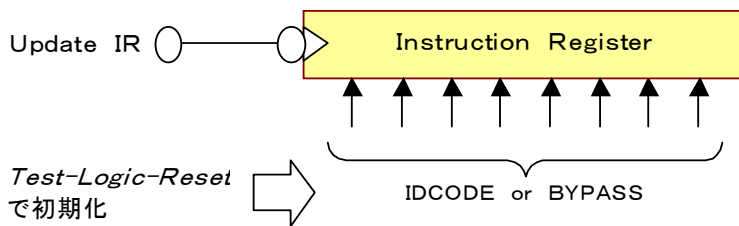


図5. 1-1 インストラクションレジスタの初期化

インストラクションレジスタ内のシフトレジスタは *Capture-IR* ステートで初期化されます。その初期値はLSBの2ビット(つまりTDO側の2ビット)が“01”のパターンでなければなりません。他のビットは、チップデザインで定義されます。その値はBSDFファイルの INSTRUCTION_CAPTURE 属性で定義されます。

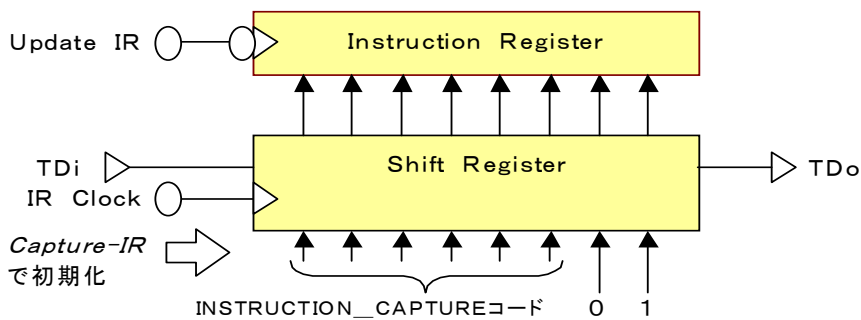


図5. 1-2 インストラクションレジスタの構成

TDIとTDOの間にあるシフトレジスタはTCKの立ち上がりエッジでシフトされます。TDIから入力された全てのインストラクションデータのシフト動作後、*Update-IR* ステートの立ち下がりエッジでインストラクションレジスタにラッチされます。

表5. 1-1 インストラクションレジスタの状態

TAPコントローラの状態	シフトレジスタの値	インストラクションレジスタの値
Test-Logic-Reset	未定義	IDCODE (又はBYPASS命令)
Capture-IR	LSBに01、残りのビットはチップデザインで定義された値をラッチ	前の状態を保持
Shift-IR	TD ₀ 方向へのシフト動作	前の状態を保持
Exit1-IR Exit2-IR Pause-IR	前の状態を保持	前の状態を保持
Update-IR	前の状態を保持	シフトレジスタの値をラッチ
その他の状態	未定義	前の状態を保持

5. 2 TAPコントローラのインストラクション

インストラクションレジスタにセットされたインストラクションによって、TAPコントローラはテストパターンデータの取り込みやテストの実行指示を行います。TAPコントローラのインストラクションにはユーザーによって使用される Public Instruction とデバイスベンダが使用する Private Instruction があります。

Public 命令はユーザーによって使用されるインストラクションで IEEE 1149. 1でその動作が定義されています。Public Instruction は *BYPASS* , *SAMPLE* , *PRELOAD* , *EXTEST* が定義されています。又オプションとして *IDCODE* , *USERCODE* , *INTEST* , *RUNBIST* が実装可能です。

表5. 2-1 インストラクション

Public/Private	Instruction	バイナリコード	備考
Public	BYPASS	1111.....1	必須
	SAMPLE	ベンダより提供	
	PRELOAD		
	EXTEST		
	INTEST		オプション
	RUNBIST		
	(CLAMP)		
	IDCODE		
	USERCODE		
(HIGHZ)			
Private	-	-	メーカー独自

Private 命令は デバイスベンダが、設計回路のテストや、製造試験のために使用する独自のインストラクションです。その使用方法を公開する必要はなく、一般にユーザーが使用することはありません。

5. 3 Bypass Instruction

Bypass 命令は、*Shift-DR* ステートにおける動作で Bypass Register を選択します。Bypass Register は TDi と TDo の間にある 1ビットのシフトレジスタです。このレジスタを使用することにより、バウンダリスキャンレジスタを通ることなく、TDi から入力されたデータは、最短時間で TDo に出力されます。Bypass インストラクションは、*Shift-DR* ステートにおけるテストパターンデータを TDi から TDo にバイパスします。

インストラクションコードのオール“1”の値が Bypass 命令のオペコードに予約されています。又オール“1”の値とは別に、オール“1”以外の値をとる事も許されていますが、オール“1”のコードは必ずBypass 命令に割り当てられなければなりません。Bypass 命令が指定されている時、デバイスのシステムロジックの動作には影響を与えません。

5. 4 Sample Instruction

Sample 命令を実行することで、システムロジックに影響を与えることなく、デバイスの入出力をモニタすることができます。インストラクションレジスタにSample 命令が選択されると、Update-DR ステートの TCK の立ち下がりがエッジで、入/出力ピンの状態がバウンダリスキャンレジスタにラッチされます。Sample 命令が指定されている時、デバイスのシステムロジックの動作には影響を与えません。

図5. 4-1 にバウンダリスキャンレジスタと入/出力ピンの接続図を示します。

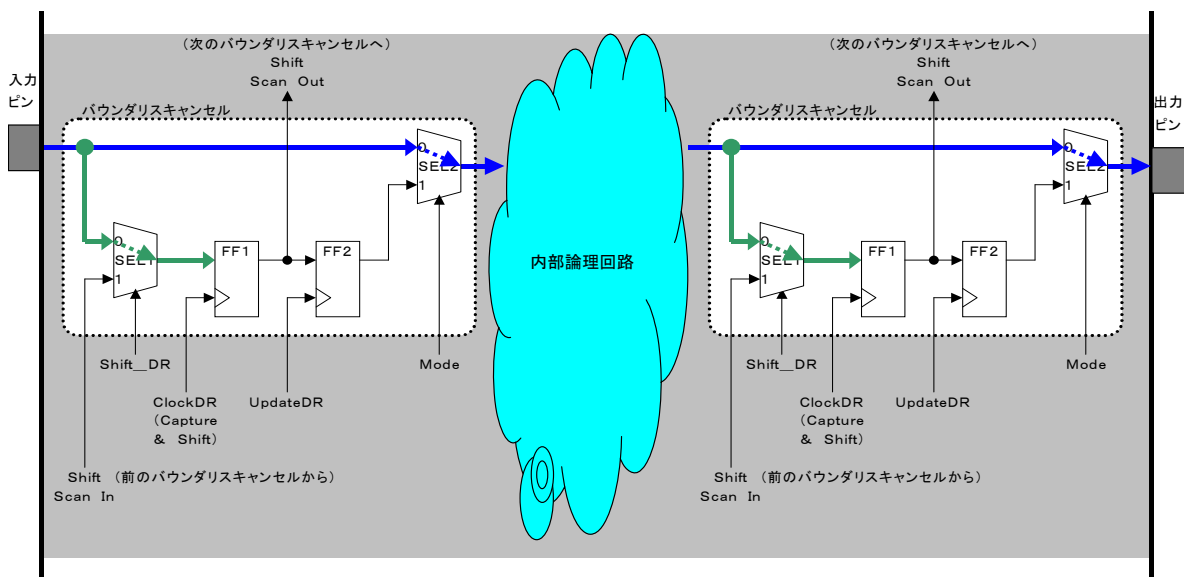


図5. 4-1 Sample 命令の動作

Sample 命令が選択されると、入力ピンに接続されたバウンダリスキャンセルでは、SEL1が入力ピンからの信号を選択し、FF1 にラッチする準備を行います。そして Capture-DR ステートのTCKの立ち上がりエッジで入力信号が、シフトレジスタを構成するFF1にラッチされ、Update-DR ステートの TCK の立ち下がりがエッジでFF2にラッチされます。出力信号に接続されたバウンダリスキャンセルでは、内部論理回路の出力(=出力ピンに出しようとしている)値が同様にシフトレジスタを構成するFF1とFF2にラッチされます。

Sample 命令はデバイスに対して必須命令で、そのバイナリコードはデバイスベンダから提供されます。

Sample 命令での動作は外部からの信号が、内部のシフトレジスタにラッチされるだけで、シフトレジスタのデータを TDO ピンから取り出すことはできません。この動作を実現するのが Preload 命令です。Preload 命令はSEL1を切り換えてShift Scan Inの信号を選択することにより、TDI からTDOに連なるシフトレジスタを構成します。これらのことから Sample 命令は Preload 命令と同一コマンド(Sample/Preload 命令)で動作することが推奨されており、一般的に、そのバイナリコードは同じ値が使用されています。

5.5 Preload Instruction

Preload 命令は TDI と TDO の間でバウンダリスキャンレジスタ間を結ぶのシフトレジスタを構成します。インストラクションレジスタにPreload 命令が選択されると、*Capture-DR* ステートのTCKの立ち上がりエッジで、データノシフト動作を行います。最初のバウンダリスキャンレジスタはTDIピンからの信号がラッチされ、最後のバウンダリスキャンレジスタのデータはTDOピンから出力されます。Preload 命令はシステムロジックに影響を与えることはありません。図5.5-1 にバウンダリスキャンレジスタと入/出力ピンの接続図を示します。

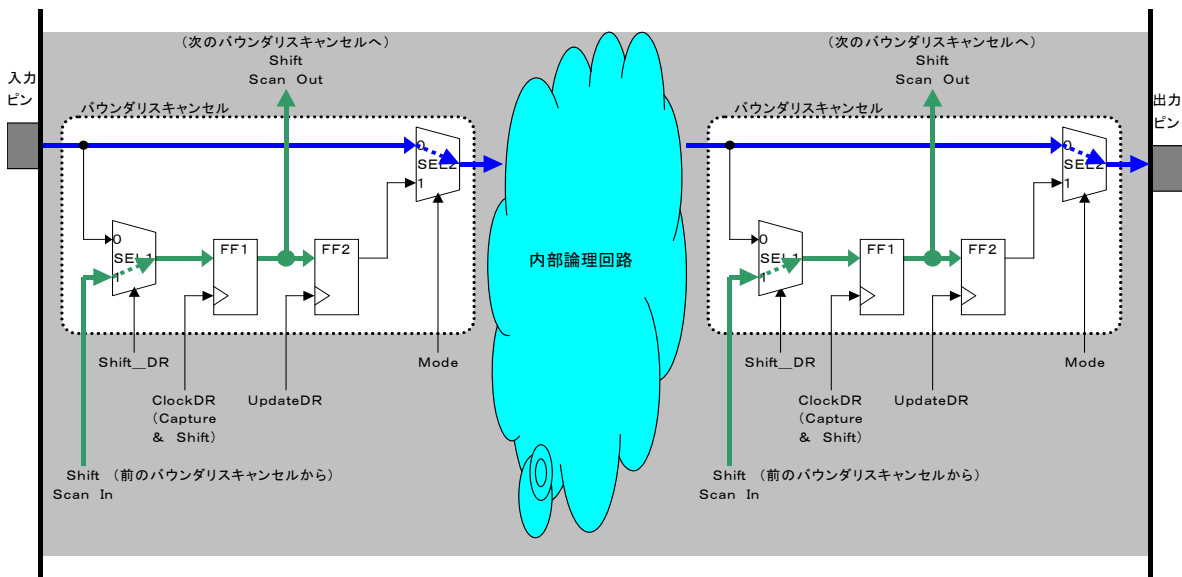


図5.5-1 Preload 命令の動作

Preload 命令が選択されると、セレクタ(SEL1)は隣のバウンダリスキャンセルからの信号を選択し、*Capture-DR* ステートのTCKの立ち上がりエッジでシフトレジスタのシフト動作を行い、*Update-DR* ステートの TCK の立ち下がりエッジでFF2にラッチされます。

Preload 命令は Exttest 命令の為のテストパターンデータをバウンダリスキャンレジスタに設定する場合に使用されます。Preload 命令によってテストパターンデータをバウンダリスキャンレジスタに設定した後、Exttest 命令を実行すると、バウンダリスキャンレジスタに設定した値が出力ピンから出力されます。

Sample 命令はデバイスに対して必須命令で、そのバイナリコードはデバイスベンダから提供されます。

Preload 命令はSample 命令と組み合わせて動作します。Sample 命令の動作に関しては『5.4 Sample Instruction』を参照してください。

5. 6 Extest Instruction

Extest 命令はデバイスが搭載されるボードレベルの試験を行うための命令です。Extest 命令を実行することで、バウンダリスキャンレジスタにセットされたデータがデバイスの出力ピンに出力され、入力ピンの状態がバウンダリスキャンセル内のシフトレジスタにセットされます。

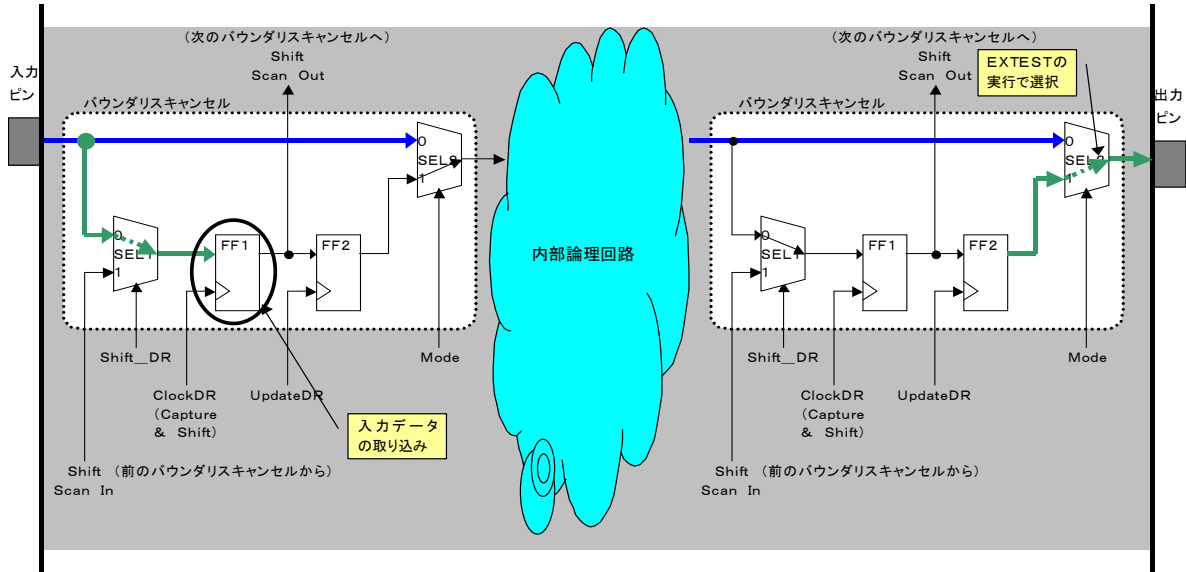


図5. 6-1 Extest 命令の動作 (Capture-DR ステート)

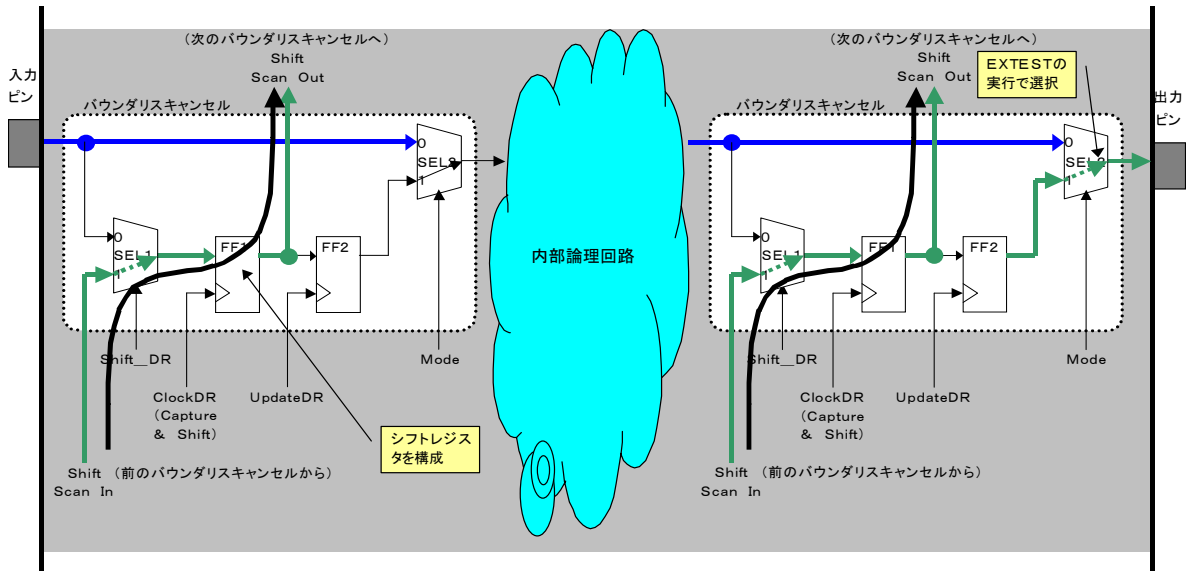


図5. 6-2 Extest 命令の動作 (Shift-DR ステート)

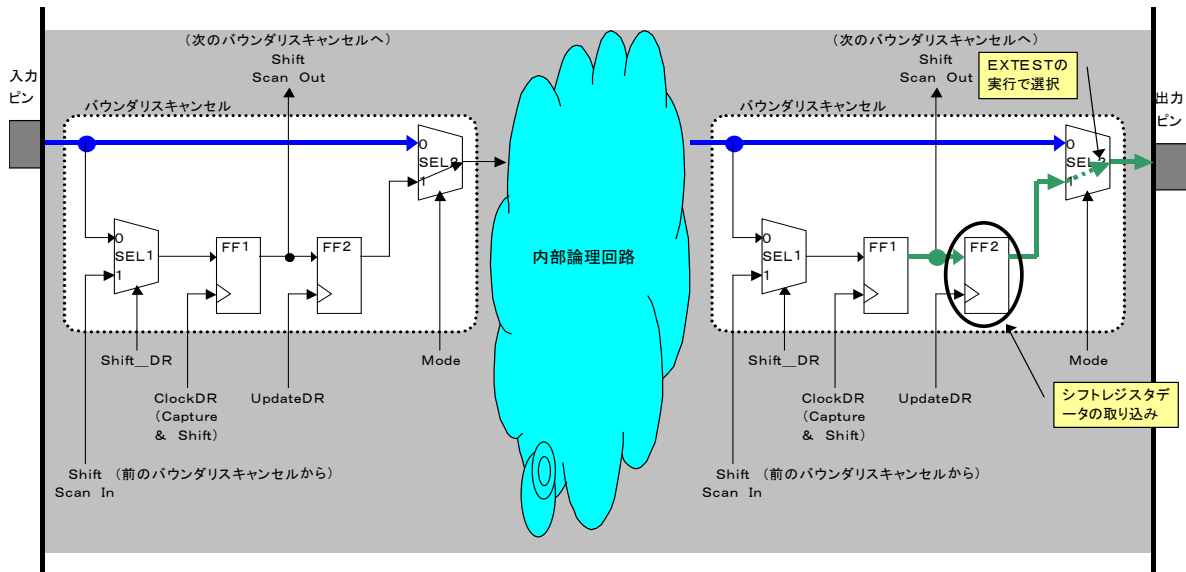


図5. 6-3 Extest 命令の動作(Update-DR ステート)

Extest 命令が選択されると、セレクタ(SEL2)はバウンダリスキャンレジスタ(FF2)の出力を選択し、バウンダリスキャンレジスタ(FF2)に保持されている値を出力ピンから出力します。又、Capture-DR ステートのTCKの立ち上がりエッジでシフトレジスタ(FF1)に入力信号の状態がラッチされ、Shift-DR ステートでシフト動作を行うことで、入力ピンの状態を取り出すことができます。又、Update-DR ステートの TCK の立ち上がりエッジでシフトレジスタ(FF1)の状態がバウンダリスキャンレジスタ(FF2)にラッチされます。

これらのExtest 命令の動作から、ボードテスト時の最初の Extest 命令の実行の前には(Sample/Preload)命令を実行して、バウンダリスキャンレジスタにデータをセットしなければならないことがわかります。Extest 命令をセットするとセレクタ(SEL2)がバウンダリスキャンレジスタ(FF2)の出力を選択し、バウンダリスキャンレジスタ(FF2)に保持されている値を出力ピンから出力するからです。

一般的なボード試験の流れは以下のようになります。

1. (Sample/Preload)命令をインストラクションレジスタにセット。
2. 試験パターンをTDIから入力しバウンダリスキャンレジスタにセット。
3. Extest 命令を実行(出力ピンから試験パターンが出力される)。
4. Sample/Preload命令をインストラクションレジスタにセット。
5. TDOからバウンダリスキャンレジスタのデータを取り出す。
6. 取り出したデータを解析

Extest 命令はデバイスに対して必須命令で、そのバイナリコードはデバイスベンダから提供されます。

注意: Extest 命令を実行すると、デバイスの内部論理回路の正常性は保証されません。Extest 命令を実行した後に、内部論理回路を動作させる場合、システムリセットが必要となる場合があります。

5.7 Intest Instruction

Intest 命令(オプション)はデバイス内部回路の試験を実現します。試験パターンはTDIからシリアル入力されバウンダリスキャンレジスタにセットされたデータを使用します。このためIntest 命令による試験はスタティック試験に限られます(ダイナミックな試験はできません)。また入力されるシステムクロックに対して1CLK毎に動作確認を行うため、デバイスのシングルステップ動作が可能であることが必要となります。

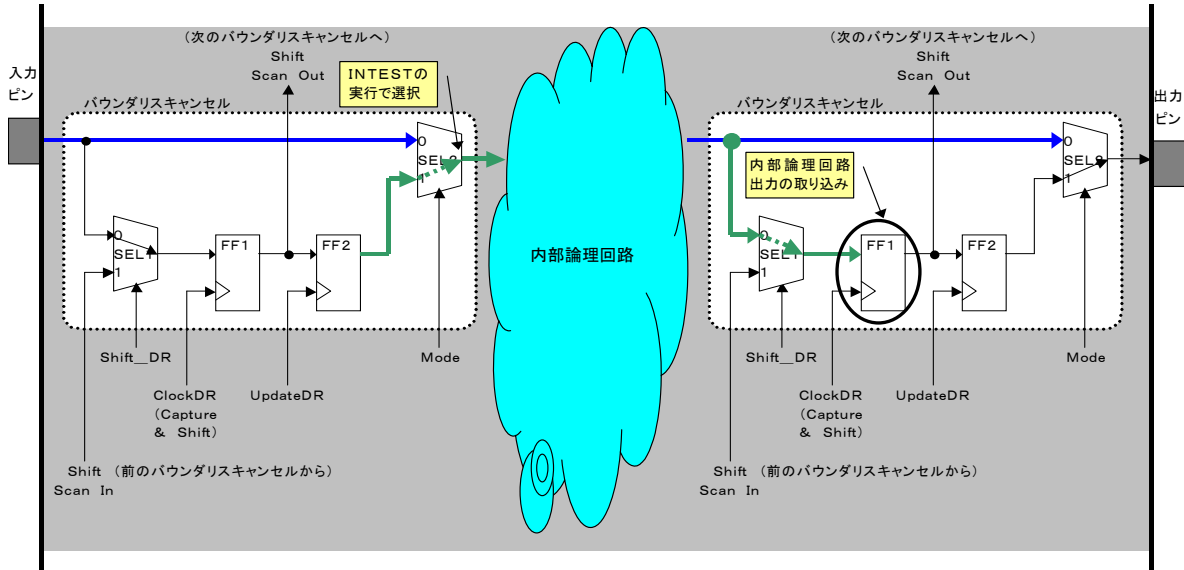


図5.7-1 Intest 命令の動作 (Capture-DR ステート)

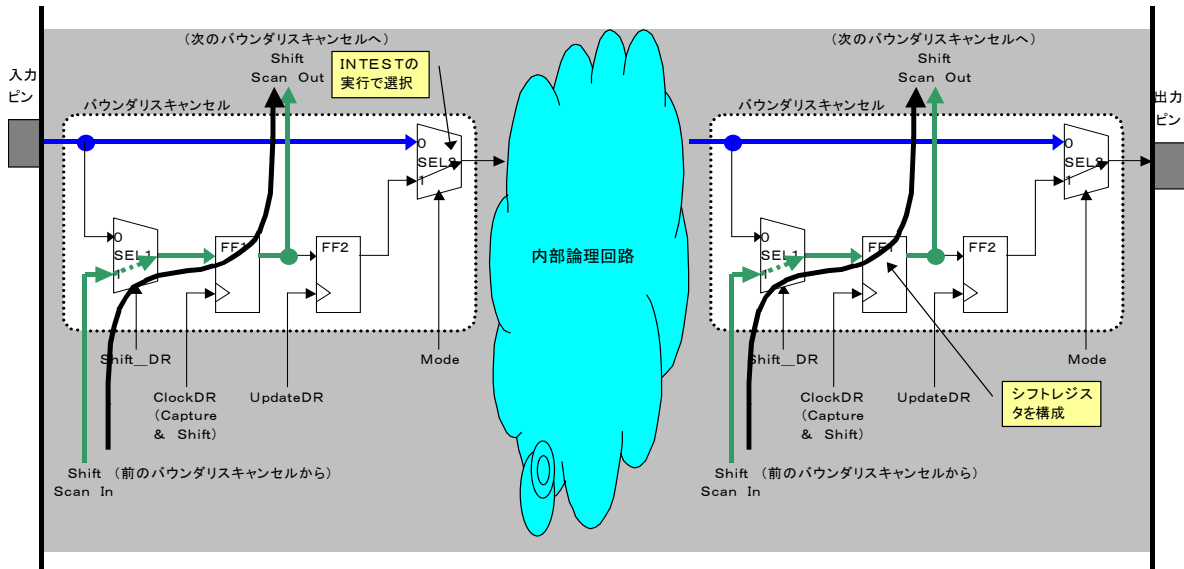


図5.7-2 Intest 命令の動作 (Shift-DR ステート)

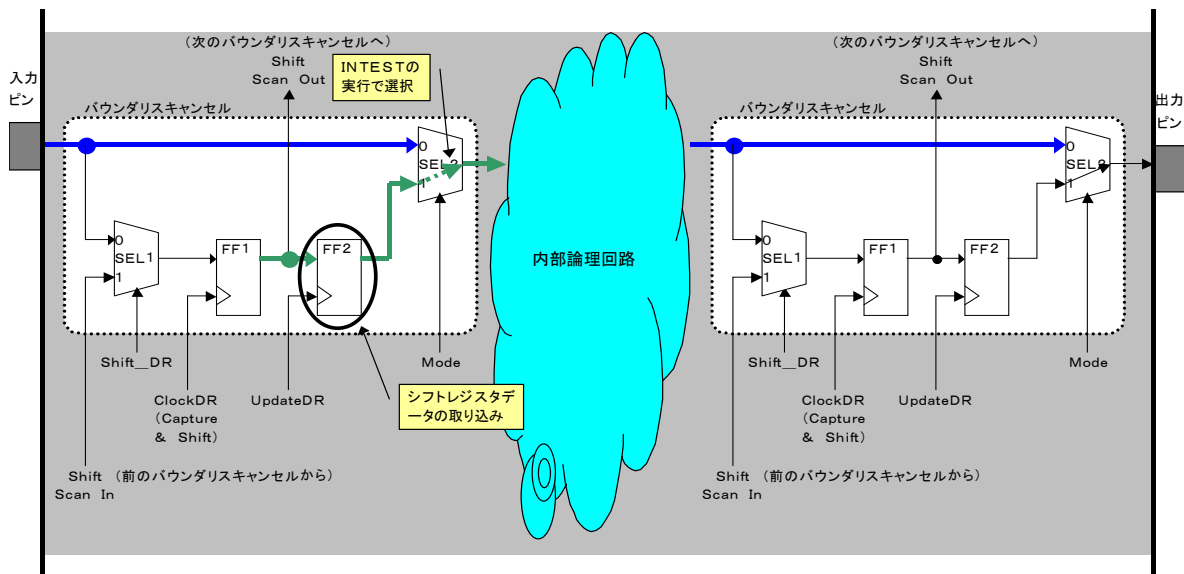


図5. 7-3 Intest 命令の動作 (*Update-DR* ステート)

Intest 命令が選択されると、セクタ(SEL2)はバウンダリスキャンレジスタ(FF2)の出力を選択し、バウンダリスキャンレジスタ(FF2)に保持されている値を内部論理回路に出力します。又、*Capture-DR* ステートのTCKの立ち上がりエッジでシフトレジスタ(FF1)に内部論理回路出力の状態がラッチされ、*Shift-DR* ステートでシフト動作を行うことで、入力ピンの状態を取り出すことができます。又、*Update-DR* ステートの TCK の立ち下がりエッジでシフトレジスタ(FF1)の状態がバウンダリスキャンレジスタ(FF2)にラッチされます。

Intest 命令はオプション命令で、そのバイナリコードはデバイスベンダから提供されます。

注意: Intest 命令を実行すると、デバイスの内部論理回路の正常性は保証されません。Intest 命令を実行した後に、内部論理回路を動作させる場合、システムリセットが必要となる場合があります。

5. 8 Runbist Instruction

Runbist 命令(オプション)はデバイスに組み込まれた自己診断テスト(BIST: Built In Self Test)を実行します。自己診断テストではIntest命令よる試験と違って、シングルステップ動作や、複雑なパターンの設定は必要ありません。

Runbist 命令の実行シーケンスは以下のようになります。

1. 自己診断テスト実行前にバウンダリスキャンレジスタに設定すべきデータがある場合は(Sample/)Preload命令を用いて、必要なデータをセットします
2. (Sample/)Preload命令をインストラクションレジスタにセット。

3. TAPコントローラの状態遷移を *Run-Test/Idle* 状態にすることで、デバイスに組み込まれた自己診断テストが実行されます。
4. デバイスに定義されている継続時間が経過した後、*Shift-DR* ステートでシフト動作を行うことで、TDOから自己診断テストの結果を取り出す。(継続時間及び診断結果はBSDLファイルの `RUNBIST__EXECUTION` 属性で定義されます。)

自己診断テストに必要なCLKには、システムCLKが使用される構成と、TCK信号が用いられる構成があります。システムCLKが使用される場合は外部ピンが直接内部論理回路に入力されます。この場合、*Run-Test/Idle* 状態でTCK を入力する必要はありません。自己診断テストのCLKにTCK信号が使用される場合、*Run-Test/Idle* を保持するように TCK を入力する必要があります。

自己診断テスト中、デバイスからの出力ピンの状態は、2つの方法が定義されています。

- 1) 出力ピンには、バウンダリスキャンレジスタの値が出力される。
- 2) 出力ピンは、ディスエーブル状態(Hi-Z)とする。

出力ピンの状態をどちらにするかは、BSDLファイルの `RUNBIST__EXECUTION` 属性で定義されます。

Runbist 命令はオプション命令で、そのバイナリコードはデバイスベンダから提供されます。

注意: Runbist 命令を実行すると、デバイスの内部論理回路の正常性は保証されません。Runbist 命令を実行した後、内部論理回路を動作させる場合、システムリセットが必要となる場合があります。

5. 9 Clamp Instruction

Clamp 命令 は Preload 命令によって設定されたバウンダリスキャンレジスタの値を出力し、かつバイパス動作を行います。

通常、バウンダリスキャン試験において、試験対象外のデバイスはバイパス動作にして、試験パターンの削減を図ります。しかし、バイパス動作対象のデバイスに対して外部ピンを特定のレベルに固定設定しなければならない場合があります。このような場合、Preload 命令で出力するデータをバウンダリスキャンレジスタに設定し、Extest 命令を実行しなければなりません(Bypass 命令は、デバイスのシステムロジックの動作及びその入出力には影響を与えない為)。しかし、この方法では、Preload 命令によるテストパターンは膨大な大きさになる可能性があります。このような場合、Clamp 命令(オプション)が適しています。Clamp 命令 は Preload 命令によって設定されたバウンダリスキャンレジスタの値を出力し、かつバイパスレジスタを選択することで、バイパス動作を行います。

Clamp 命令の実行は以下のようになります。

1. (Sample/)Preload命令をインストラクションレジスタにセット。
2. デバイスからの出力パターンをTDIから入力しバウンダリスキャンレジスタにセット。
3. Clamp 命令を実行(出力ピンから出力パターンが出力され、かつバイパス動作になる)。

Clamp 命令はオプション命令で、そのバイナリコードはデバイスベンダから提供されます。

注意: **Clamp** 命令を実行すると、デバイスの内部論理回路の正常性は保証されません。**Clamp** 命令を実行した後に、内部論理回路を動作させる場合、システムリセットが必要となる場合があります。

5. 10 IDCODE Instruction

IDCODE 命令は、デバイスの IDCODE の読み取りを行います。

IDCODE 命令が設定されると、*Capture-DR* ステートのTCKの立ち上がりエッジでデバイスのIDCODEが IDCODEレジスタにロードされ、*Shift-DR* ステートでシフト動作を行うことで、IDCODEレジスタの状態を取り出すことができます。IDCODE 命令が指定されている時、デバイスのシステムロジックの動作には影響を与えません。

Test Logic Reset 状態でIDCODE命令がインストラクションレジスタに設定されます。*Test Logic Reset* ステートに続く、*Shift-DR* ステートでシフト動作を行うことで、IDCODEを読み出すことができます。

IDCODE 命令はオプション命令で、そのバイナリコードはデバイスベンダから提供されます。

5. 11 UserCode Instruction

UserCode 命令はデバイスメーカー独自の32ビット識別コードの読み取りを行います。

UserCode 命令が設定されると、*Capture-DR* ステートのTCKの立ち上がりエッジでデバイスの UserCode が UserCode レジスタにロードされ、*Shift-DR* ステートでシフト動作を行うことで、UserCode レジスタの状態を取り出すことができます。UserCODE 命令が指定されている時、デバイスのシステムロジックの動作には影響を与えません。

UserCode 命令はオプション命令で、そのバイナリコードはデバイスベンダから提供されます。

5. 12 HIGHZ Instruction

HIGHZ 命令は、内部論理回路からの全ての出力をディスエーブル状態にします。

HIGHZ 命令が実行されると、3ステート出力は、Hi-Z状態になります。2ステート出力は、ドライブ状態のままですが、インアクティブ状態をもつ出力(例えばオープンコレクタ出力等)は、インアクティブ状態になります。

HIGHZ 命令はオプション命令で、そのバイナリコードはデバイスベンダから提供されます。

注意: **Clamp** 命令を実行すると、デバイスの内部論理回路の正常性は保証されません。**Clamp** 命令を実行した後に、内部論理回路を動作させる場合、システムリセットが必要となる場合があります。

第6章

Test Data レジスタ

6. Test Data レジスタ

6.1 Test Data レジスタの構成

命令コードを格納するインストラクションレジスタに対して、命令コードから制御されるレジスタの総称を Test Data レジスタと呼んでいます。Test Data レジスタに必須のレジスタとして、バイパスレジスタとバウンダリスキャンレジスタが定義されており、オプションとしてデバイスIDレジスタとデザイン定義レジスタがあります。

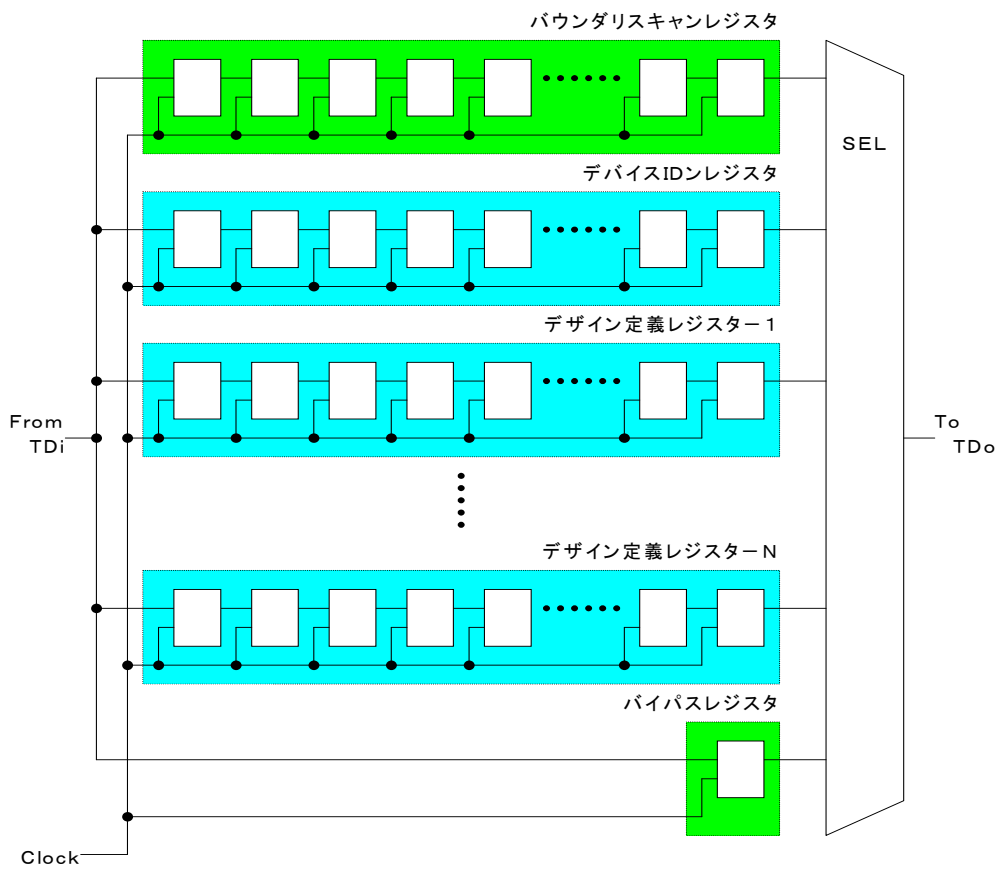
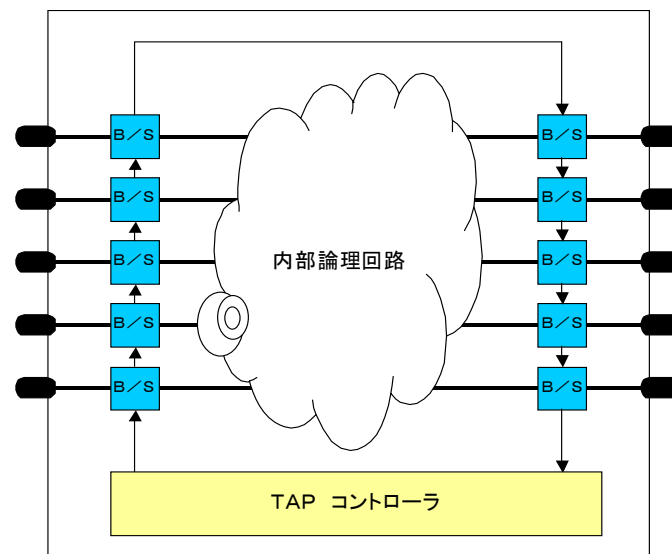


図6.1-1 Test Data レジスタ構成図

6. 2 バウンダリスキャンレジスタ

バウンダリスキャンレジスタは外部ピンと内部論理回路との間に配置され、その動作はTAPコントローラによって制御されます。又それぞれのバウンダリスキャンレジスタはシリアルに接続され、シフトレジスタを構成しています。TAPコントローラの制御のもとで、TDiから入力されたデータをバウンダリスキャンレジスタ取り込んだり、バウンダリスキャンレジスタのデータをTDoにシフトアウトしたりします。



B/S : バウンダリスキャンレジスタ

図6. 2-1 バウンダリスキャンレジスタの配置

バウンダリスキャンレジスタには、それぞれの用途に対して BC_0 から BC10 のセルタイプが定義されています。

表6. 2-1 バウンダリスキャンレジスタのセルタイプ

セルタイプ	用途	備考
BC_0	汎用的に使用可能	
BC_1	Ooutput , Input	
BC_2	Ooutput	INTESTはサポートしない
BC_3	Input , Internal	
BC_4	Input , Observe , Clock , Internal	
BC_5	Control入力	
BC_6	Bidirectional	BC_7に置き換え
BC_7	Bidirectional	
BC_8	Bidirectional	INTESTはサポートしない
BC_9	Ooutput	
BC_10	Ooutput	INTESTはサポートしない

BC_0

このセルタイプは Std1149.1 で定義されている全ての値(Dont Careも含めて)をキャプチャできる仮想的なセルタイプです。

BC_1

2ステートの全てのインストラクションに対応したセルタイプです。

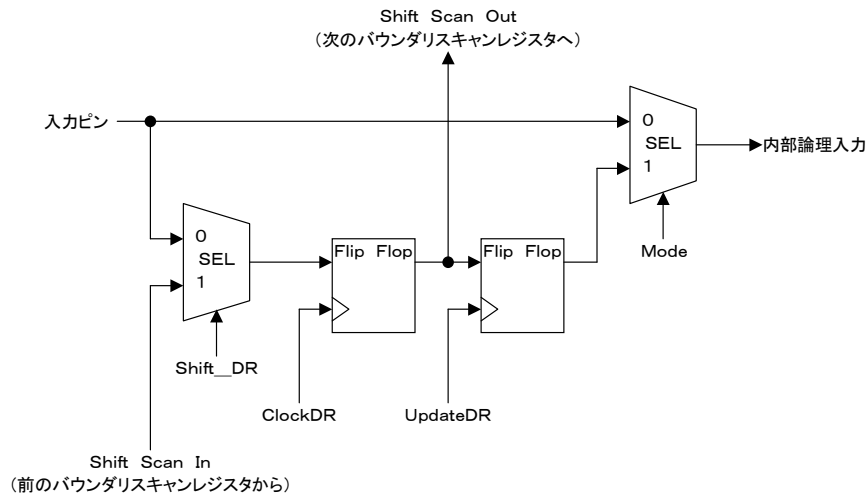


図6. 2-2 BC_1 入力セル構成

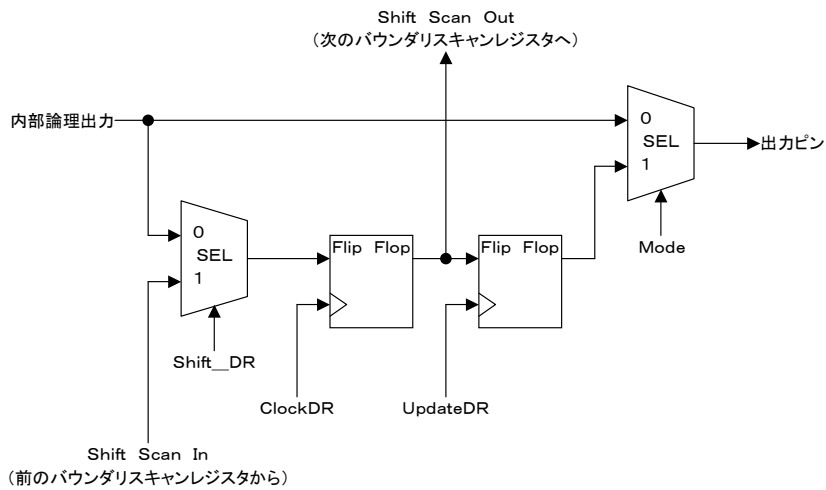


図6. 2-3 BC_1 出力セル構成

BC_2

SAMPLE , PRELOAD , EXTEST , RUNBIST に対応したセルタイプです。このタイプはINTEST に対応していません。

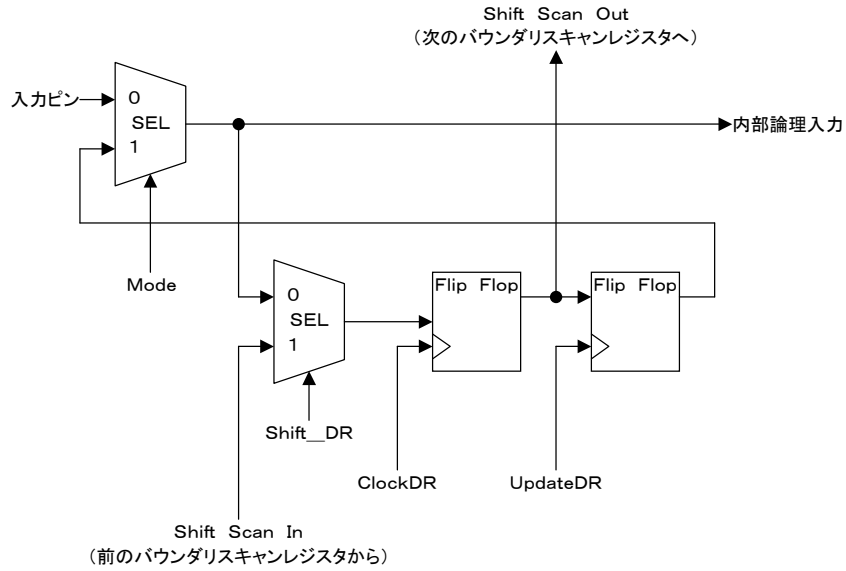


図6. 2-4 BC_2 入力セル構成

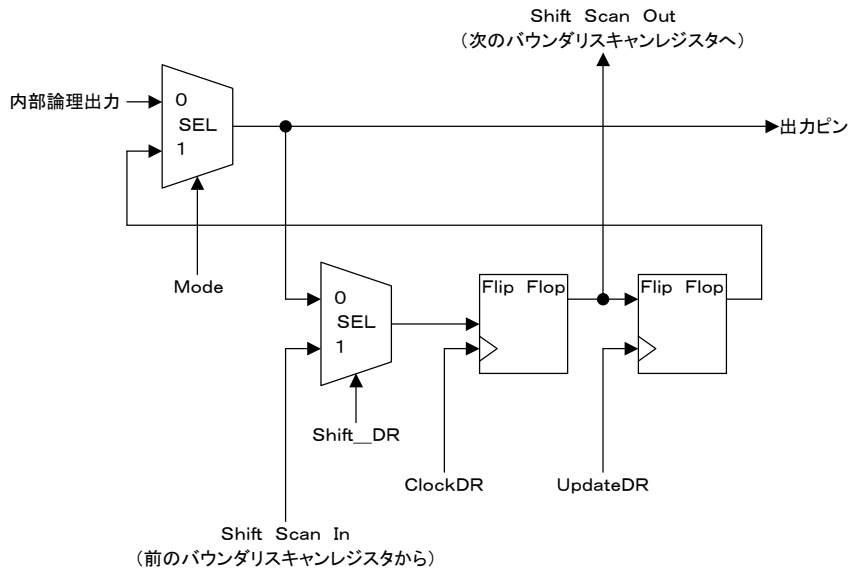


図6. 2-5 BC_2 出力セル構成

BC_3

入カピンと内部モニタに使用されるセルタイプです。

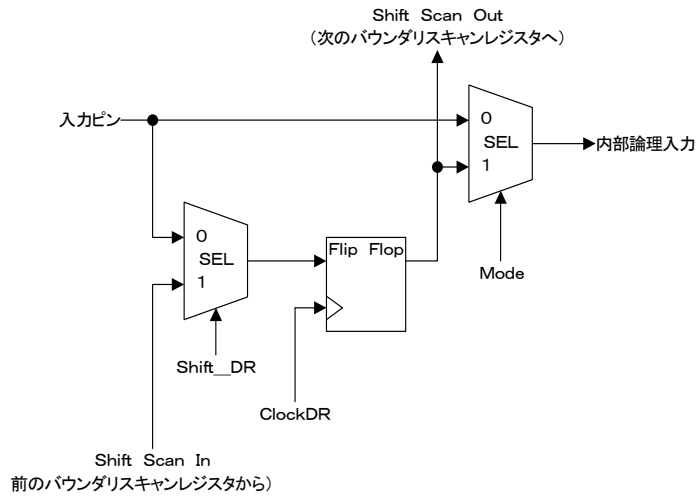


図6. 2-6 BC_3 入力セル構成

BC_4

内部モニタに使用されるセルタイプです。

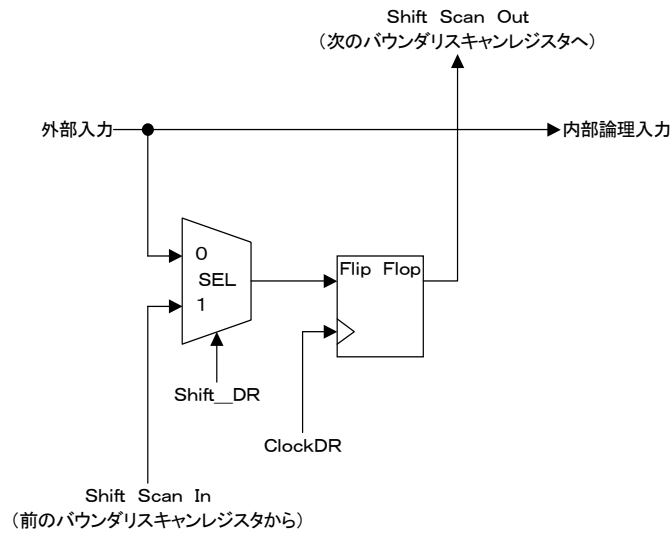


図6. 2-7 BC_4 入力セル構成

BC_5

出力ピンを制御するための入力ピンに使用されるセルタイプです。

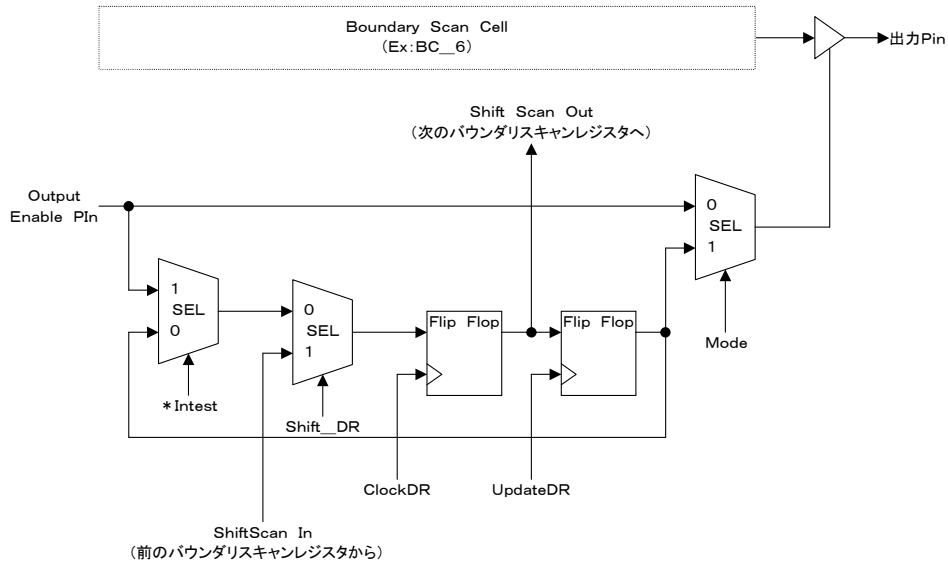


図6. 2-8 BC_5 入力セル構成

BC_6

双方向ピンの為のセルタイプです。Std1149. 1-2001ではBC_7の使用を推奨しています。

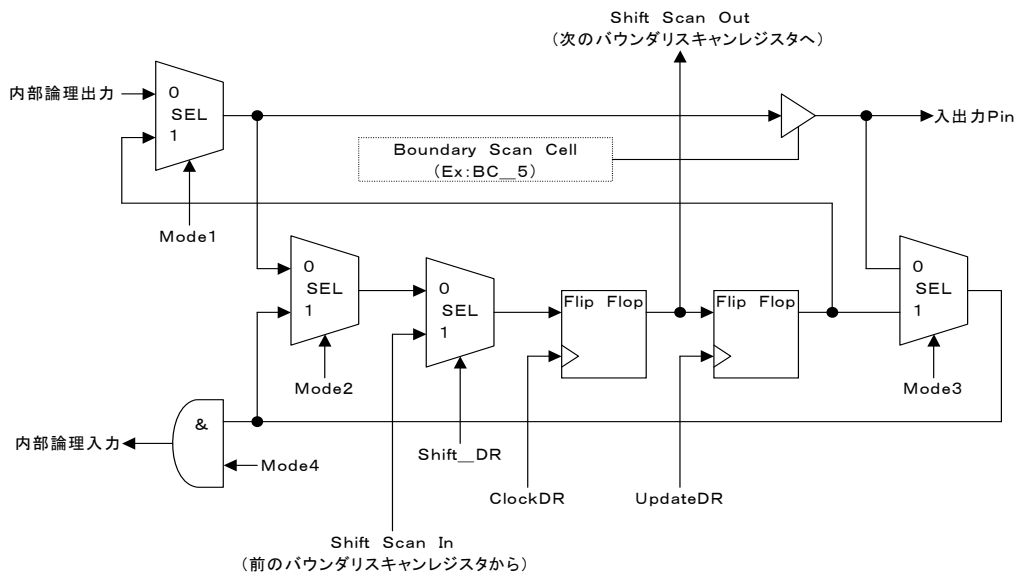


図6. 2-9 BC_6 入力セル構成

BC_7

双方向ピンの為のセルタイプです。

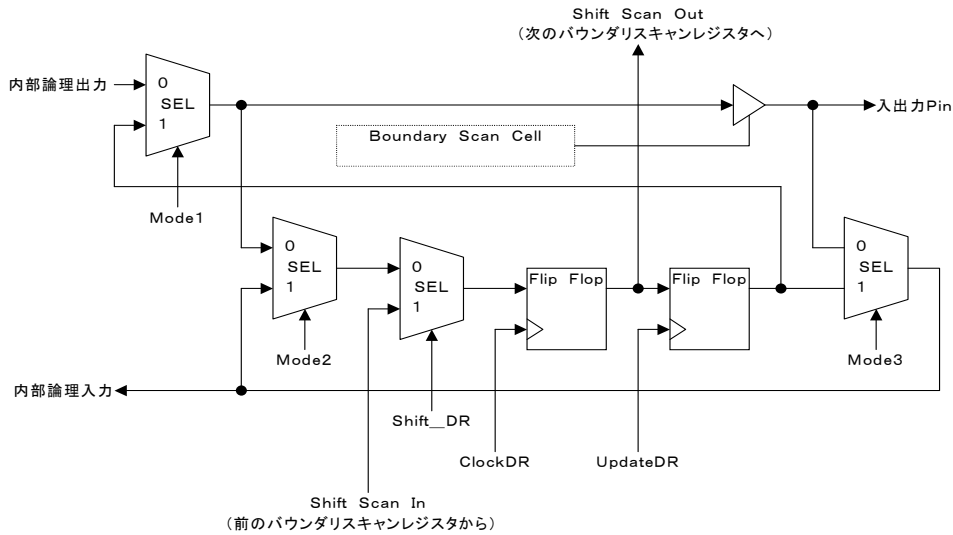


図6. 2-10 BC_7 入力セル構成

BC_8

INTESTをサポートしない、双方向ピンの為のセルタイプです。

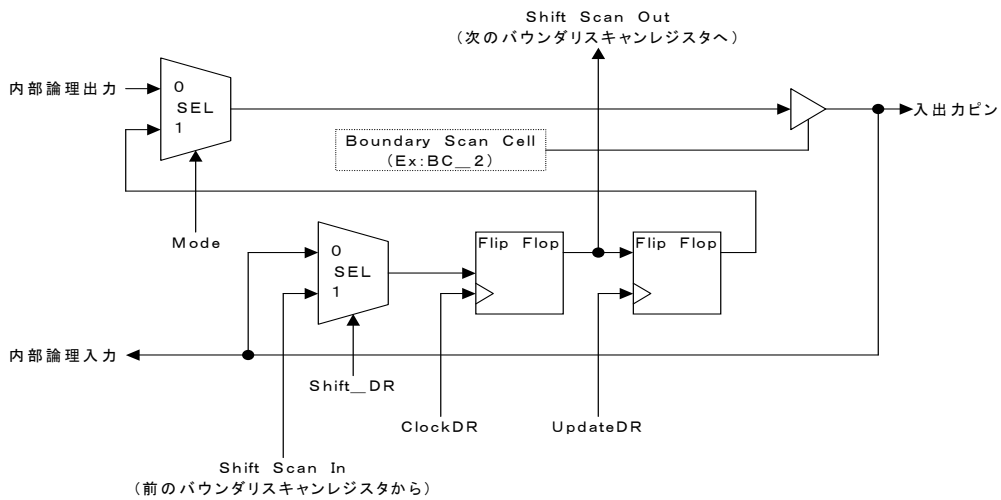


図6. 2-11 BC_8 入出力セル構成

このタイプはStd1149. 1-2001版で Standard VHDL Package に追加されました。

BC_9

INTESTとSAMPLE命令時、内部論理からの出力またはEXTESTの出力信号をモニタするセルフモニタ出力のセルタイプです。このタイプはStd1149. 1-2001版で Standard VHDL Package に追加されました。

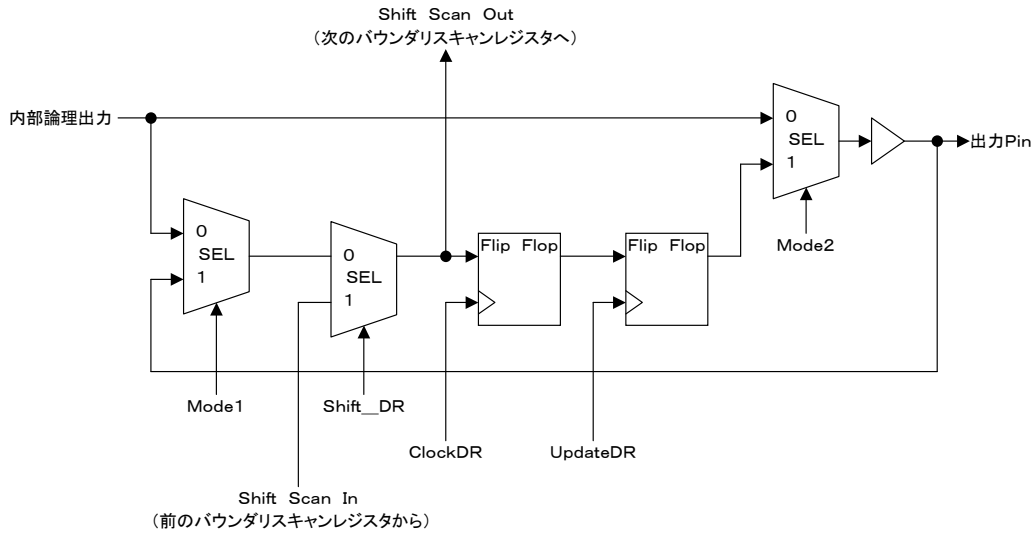


図6. 2-12 BC_9 出力セル構成

BC_10

INTEST命令をサポートしない出力信号をモニタするセルフモニタ出力のセルタイプです。このタイプはStd1149. 1-2001版で Standard VHDL Package に追加されました。

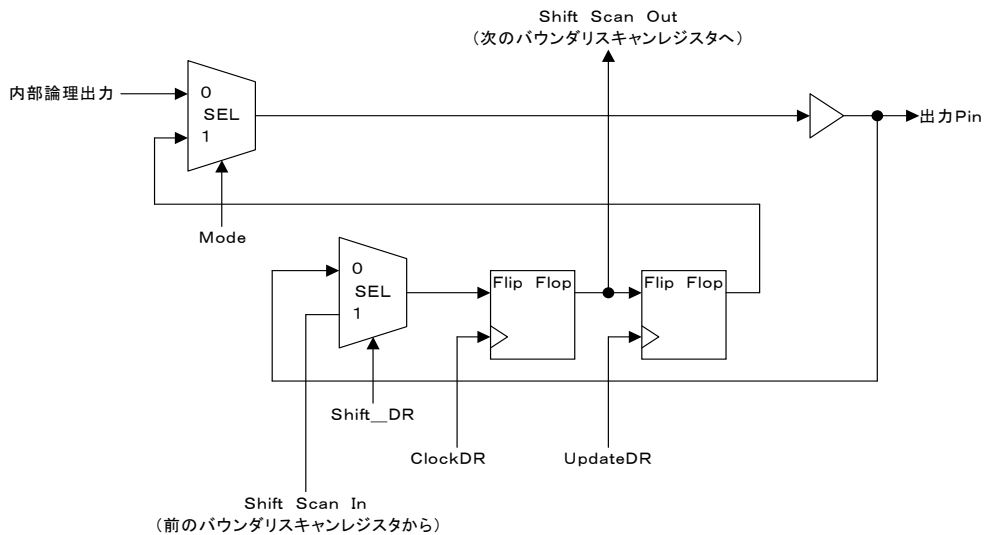


図6. 2-13 BC_10 出力セル構成

6. 3 デバイスIDレジスタ

デバイスIDレジスタは、デバイスメーカーによって組み込まれたデバイスの情報(デバイスID)を保持しています。デバイスIDは Version情報、Part Number、Manufacture IDから構成されます。デバイスIDレジスタは、IDCODE 命令が選択されたとき、Capture-DRステートの立ち上がりエッジでTDoから出力されます。

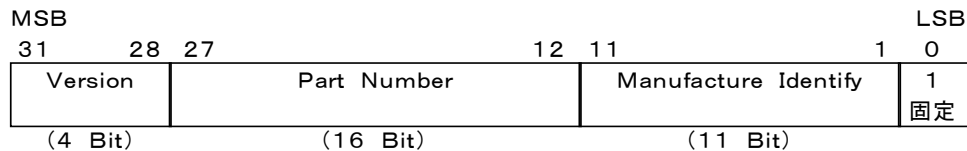


図6. 3-1 デバイスIDレジスタのビットマップ

インストラクションレジスタは *Test-Logic-Reset* ステートで IDCODE 命令(IDCODEを持たない場合は、BYPASS命令)に初期化されます。IDCODE命令が設定された場合、*Test-Logic-Reset* ステートに続く *Shift-DR* ステートで TDoからは IDCODEの LSB(“1”)が出力され、BYPASS命令が設定された場合、“0” が出力されます。この動作は、ターゲットボードに搭載されているデバイスが IDCODE を持つかどうかの自動判定に使用されます。

デバイスIDレジスタのアクセスは、デバイス内部論理の動作には影響を与えません。

6. 4 デザイン定義レジスタ

デザイン定義レジスタは、デバイスメーカーによるデバイス特有の試験(自己診断テストやスキャンパス試験等)をサポートするために実装されます。これらのレジスタはパブリックとして定義される必要はありません。

6. 5 Bypassレジスタ

Bypassレジスタは、テストパターンデータのシフト動作をバイパスする為のレジスタで、TDi と TDo 間に1ビットのレジスタで構成されます。インストラクションレジスタに Bypass 命令がセットされると、バイパスレジスタは、Capture-DRステートの立ち上がりエッジで“0” にリセットされます。

インストラクションレジスタは *Test-Logic-Reset* ステートで IDCODE 命令(IDCODEを持たない場合は、BYPASS命令)に初期化されます。IDCODE命令が設定された場合、*Test-Logic-Reset* ステートに続く *Shift-DR* ステートで TDoからは IDCODEの LSB(“1”)が出力され、BYPASS命令が設定された場合、“0” が出力されます。この動作は、ターゲットボードに搭載されているデバイスが IDCODE を持つかどうかの自動判定に使用されます。

デバイスIDレジスタのアクセスは、デバイスのシステムロジックの動作には影響を与えません。

第7章

バウンダリスキャン試験詳細

7. バウンダリスキャン試験詳細

7. 1 バウンダリスキャン試験例

バウンダリスキャン試験の詳細を説明するにあたって、例として以下の回路を用いた試験を考えます。

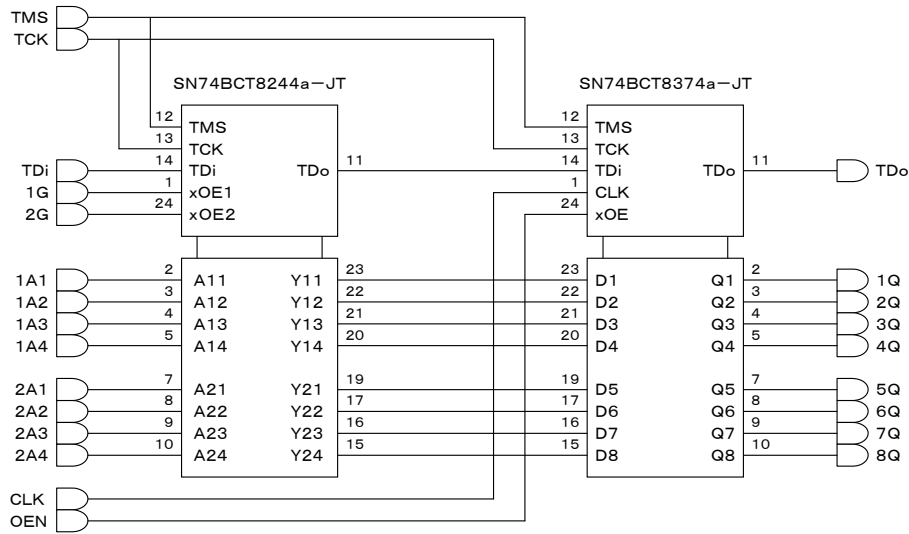


図7. 1-1 バウンダリスキャン試験回路例

上記の回路におけるバウンダリスキャンレジスタのセルのつながりは、SN74BCT8244とSN74BCT8374のBSDLファイル定義より以下の図のようになります。

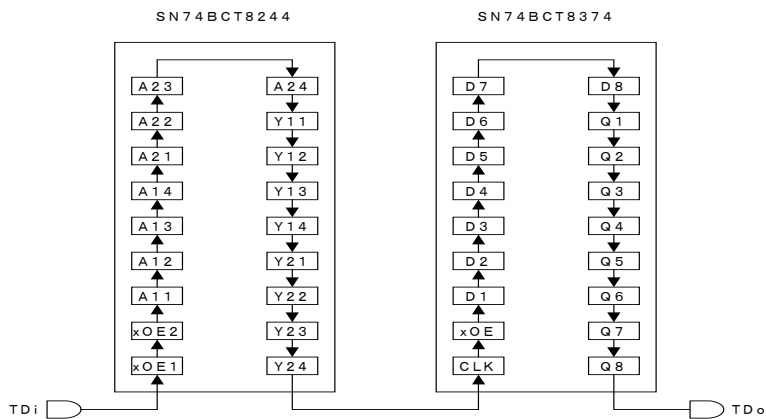


図7. 1-2 バウンダリスキャンレジスタ接続図

7. 2 インフラ試験

インフラ試験は試験を行なうための制御信号(TCK, TMS, TDi, TDo)の正常性を確認するための試験です。インフラ試験はインストラクションキャプチャワードをチェックすることで行います。インストラクションキャプチャワードとは、TAPコントローラに対して CAPTURE_IR を実行時に、インストラクションレジスタに設定されるデバイスに特有な値(下位2ビットが“01”他のビットは各デバイスで異なる)のことで、その値はBSDLファイルに定義されています。インフラ試験のタイミングチャートを以下に示します。

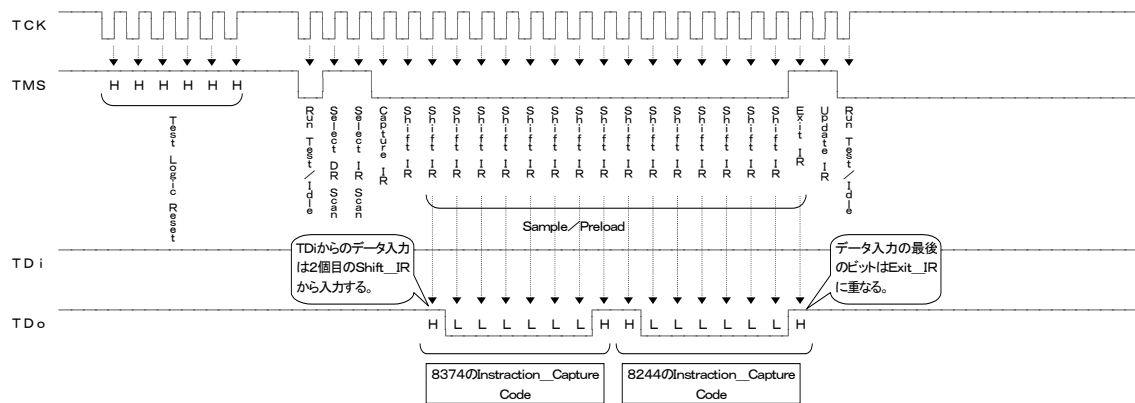


図7. 2-1 インフラ試験タイミングダイアグラム

Test Logic Rsetの後、図2. 3-1のTAPコントローラの状態遷移図に基づいてTMSに“0110”を入力すると、RUN_TEST/IDLE → SELECT_DR_SCAN → SELECT_IR_SCAN → CAPTURE_IR へ遷移します。CAPTURE_IRへ遷移した時にスキャンチェーン上の全てのバウンダリスキャンデバイスでインストラクションキャプチャワードがインストラクションレジスタにラッチされます。(①)その後、スキャンチェーンを構成するデバイスのインストラクションレジスタの合計回数、SHIFT_IRを実行することでTDoからインストラクションキャプチャワードが出力されます。(②)

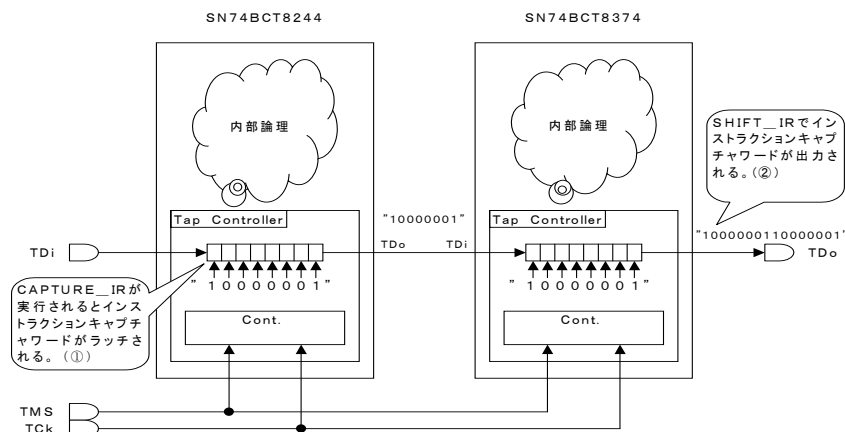


図7. 2-2 インフラ試験解説

第7章 バウンダリスキャン試験詳細

TDoから出力されるインストラクションキャプチャワードをデバイス毎に比較することで、バウンダリスキャン制御信号 (TCK, TMS, TDi, TDo)の接続不良を検出することができます。スキャンチェーン上のデバイスでバウンダリスキャン制御信号に接続不良があった場合、接続不良のデバイスとTDiポートの間のデバイスのインストラクションキャプチャワードの比較は全てエラーとなります。

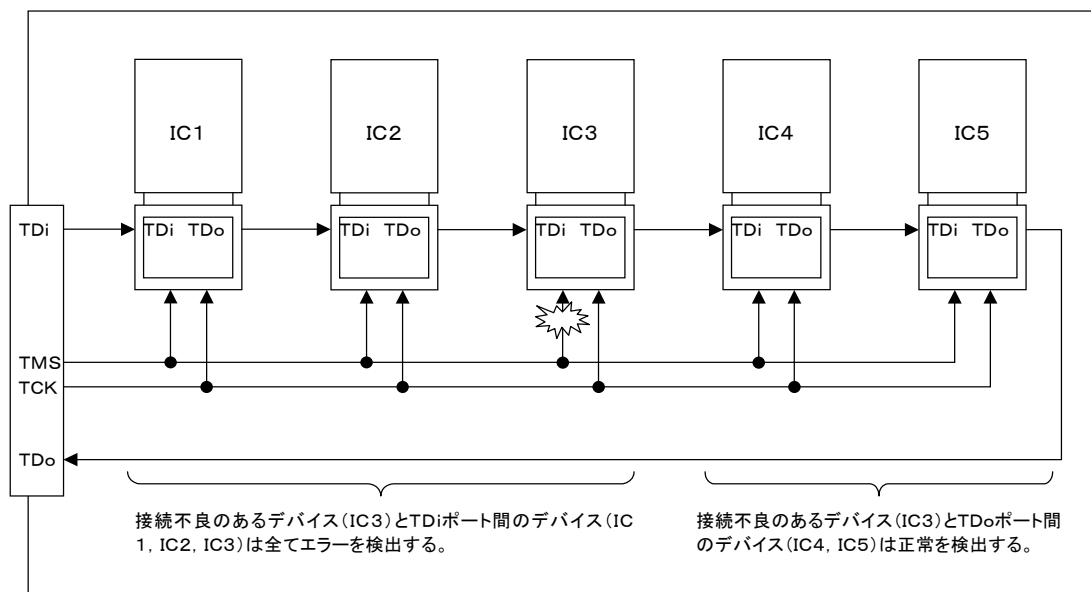


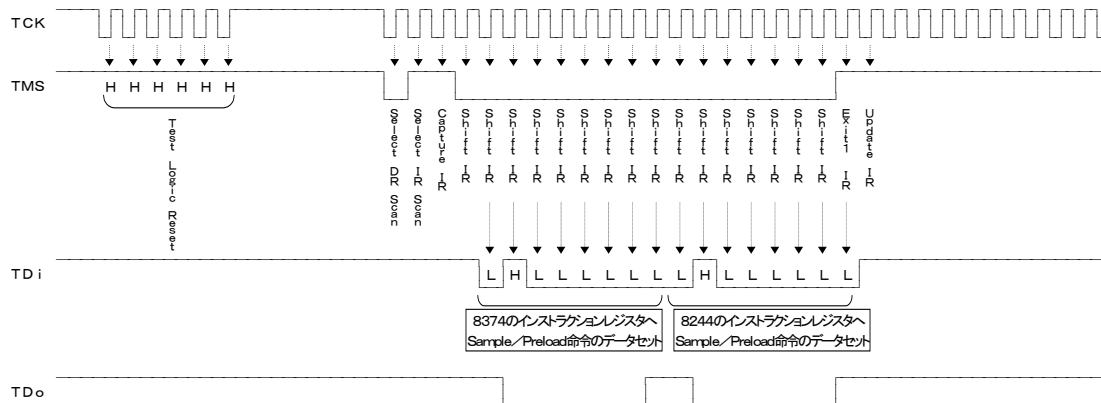
図7. 2-3 インフラ試験結果解析

7. 3 ベクタ試験

ベクタ試験はバウンダリスキャンチェーン上のデバイス間のネットの正常性を試験します。試験のシーケンスは以下のようになります。

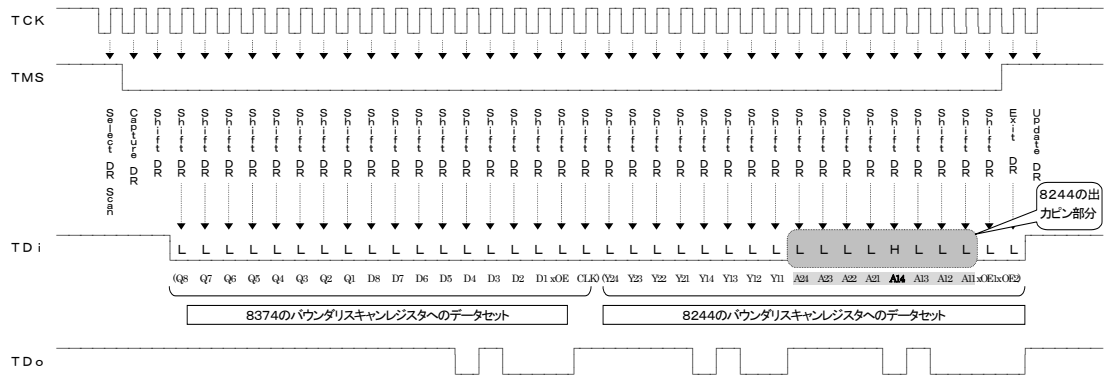
- (1) Test Logic Rsetの後、インストラクションレジスタにSample/Preload命令のデータをセットします(図3. 3-1(a))。これによりTDiから入力されたデータが、バウンダリスキャンレジスタにシフトし終えるまで出力ピンからバウンダリスキャンレジスタのデータは出力されません。
- (2) Shift_DRを実行して出力ピンから出力するテストデータをTDiからシリアル入力します(図3. 3-1(b))。
- (3) 目的のデータをバウンダリスキャンレジスタにセットしたら、インストラクションレジスタにEXTEST命令のデータをセットします(図3. 3-1(c))。これにより、バウンダリスキャンレジスタにセットされた値が外部ピンに出力されます。
- (4) 次にCapture_DRを実行し、入力ピンの状態をバウンダリスキャンレジスタに取り込みます。更にShift_DRを実行してバウンダリスキャンレジスタの値をシフトさせ、TDoからシリアル出力します(図3. 3-1(d))。
- (5) 取り込んだ値から、出力ピンから出力した値と対応する入力ピンの値を比較し、ネットの正常性を確認します。

図3. 1-1の回路でSN74BCT8244a-JTのA14ピンから“H”を出力(他の出力ピンは“L”を出力)し、対応する入力ピン(SN74BCT8374a-JTのD4ピン)から“H”を検出するパターンを考えてみます。

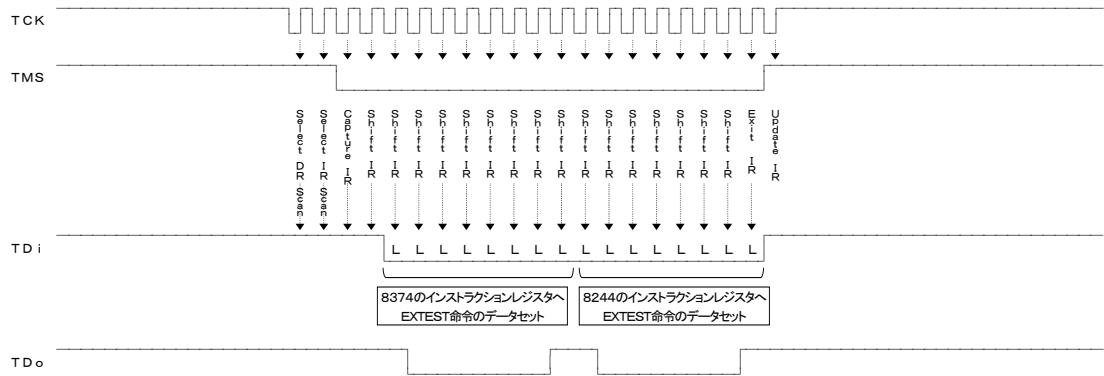


(a) Sample/Preload命令の実行

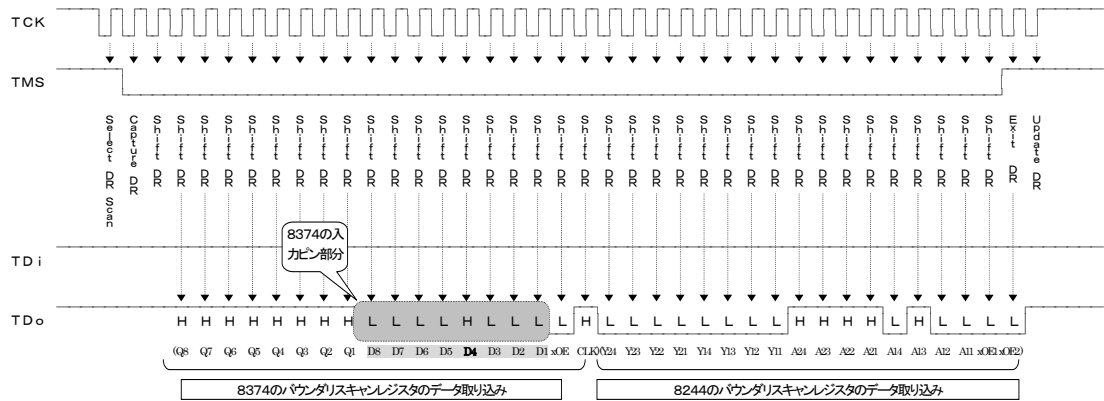
第7章 バウンダリスキャン試験詳細



(b) テストデータのセット(続き)



(c) EXTEST命令の実行(続き)



(d) バウンダリスキャンレジスタデータの取り込み(続き)

図 7. 3-1 ベクタ試験タイミングダイアグラム

第8章

試験パターン生成

8. 試験パターン生成

8. 1 試験種別

バウンダリスキャン試験はインフラ試験とベクタ試験の2種類の試験があります。インフラ試験は試験を行なうための制御信号(TCK, TMS, TDi, TDo)の正常性を確認する試験です。インフラ試験がパスするとベクタ試験が可能となります。ベクタ試験はバウンダリスキャンチェーンを構成するデバイス間でのネットの試験を行なうものです。

(1) インフラ試験

インフラ試験はインストラクションキャプチャワードをチェックすることで行います。インストラクションキャプチャワードとは、TAPコントローラに対して `CAPTURE_IR` を実行時に、インストラクションレジスタに設定されるデバイスに特有な値(下位2ビットが“01”他のビットは各デバイスで異なる)のことで、その値はBSDFLファイルに定義されています。

(2) ベクタ試験

ベクタ試験はバウンダリスキャンチェーンを構成するデバイス間でのネットの正常性を確認します。ネットの正常性を確認するためには、ネットの出力ピンから“0”，“1”のパターンを出力し、対応する入力ピンで出力した値をチェックすることで正常性を確認します。ベクタ試験は以下の4つの試験パターンの組み合わせからエラー検出を行います。

(a) ALL“L”試験

被試験対象の全てのネットの全ての出力ピンから“L”レベルを出力し、入力ピンをモニタした結果と比較を行います。一つのネットに対して、複数の出力(入出力)ピンが存在する場合、出力信号が衝突する為、バスコンフリクトによるエラーの可能性がある場合は[ツール]－[オプション]で、この機能は無効にしてください。

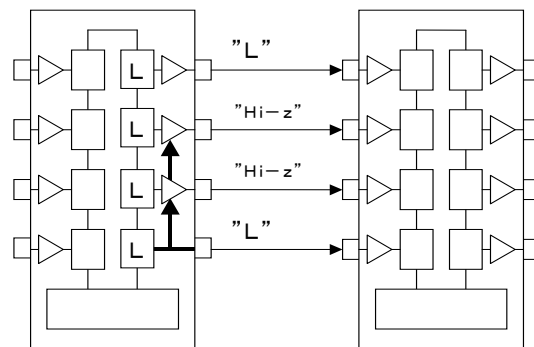


図8. 1-1 ALL “L”試験

(b) ALL "H" 試験

被試験対象の全てのネットの全ての出力ピンから "H" レベルを出力し、入力ピンをモニタした結果と比較を行います。一つのネットに対して、複数の出力(入出力)ピンが存在する場合、出力信号が衝突する為、バスコンフリクトによる部品の破壊の可能性がある場合は [ツール] - [オプション] で、この機能は無効にしてください。

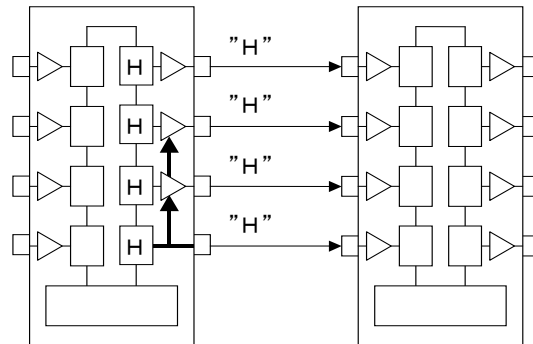


図8.1-2 ALL "H" 試験

(c) SET "H" 試験

被試験対象ネット以外の出力ピンには "L" を出力しておき、被試験対象ネットの出力ピンから "H" レベルを出力 (複数の出力(入出力)ピンがある場合、ネット内の他の出力ピンは "L" に、入出力ピンは Hi-Z にセットされる) することで、試験対象ネットの正当性を調査します。

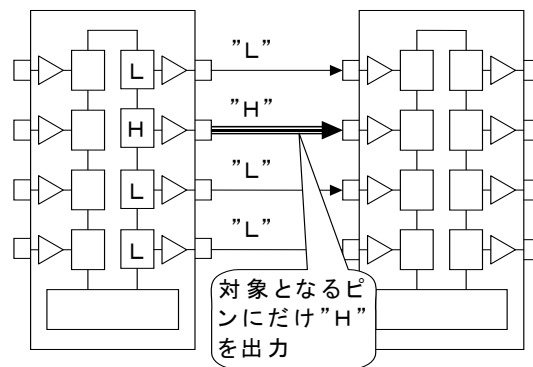


図8.1-3 SET "H" 試験

(d) SET "L" 試験

被試験対象ネット以外の出力ピンには "L" を出力しておき、被試験対象ネットの出力ピンから "H" レベルを出力 (複数被試験対象ネット以外の出力ピンには "H" を出力しておき、被試験対象ネットの出力ピンから "L" レベルを

出力(複数の出力(入出力)ピンがある場合、ネット内の他の出力ピンは”L”に、入出力ピンはHi-Zにセットされる)することで、試験対象ネットの正当性を調査します。

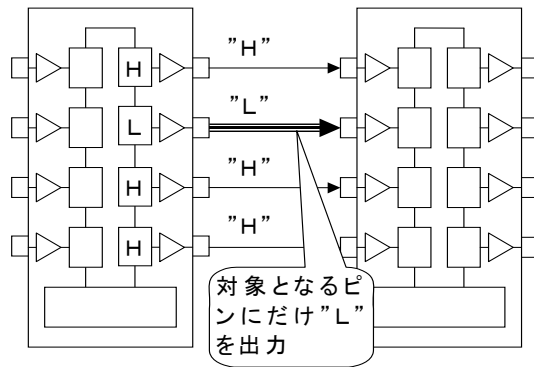


図8. 1-4 SET "L"試験

8. 2 出カインェーブル付きピンの影響

出カインェーブル付きピン(3ステートピン)の試験を行なう場合、注意が必要です。出カインェーブル付きピン(3ステートピン)は通常、バス接続されており、その出力は出カインェーブル信号によって厳密に制御されています。バウンダリスキャン試験で、バスになったネットに対して複数の出力ピンから同時に値を出力した場合、バスコンフリクトが発生し、ベクタ試験でエラーになる可能性があります。

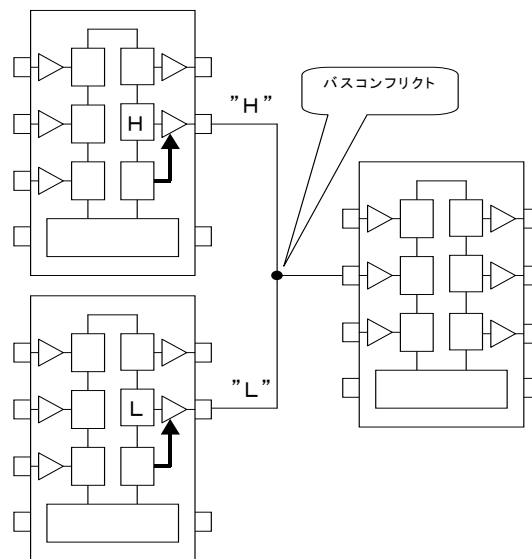


図8. 2-1 出カインェーブル付きピンの影響

第9章

エラー要因の検出

9. エラー要因の検出

9. 1 エラー要因の種類

エラーには以下のような要因が考えられます。

要因1: ネットのVccへのショート

ネットがVccへショートしているため、ネット上のレベルがVccに固定されている状態です。

要因2: ネットのGNDへのショート

ネットがGNDへショートしているため、ネット上のレベルがGNDに固定されている状態です。

要因3: 出力ピン接続不良

ネットに対する出力ピンの接続不良(はんだ不良によるピンの浮き等)です。

要因4: 入力ピン接続不良

ネットに対する入力ピンの接続不良(はんだ不良によるピンの浮き等)です。

要因5: ネットの他信号へのショート

はんだ不良等の要因により、ネット上のどこかの位置で他のネットにショートしている状態です。

要因6: ネットの異常

ネット上のどこかの位置でネットが切断されている状態です。ネットパターンの切断やネットとビアの接続不良などの要因が考えられます。

第9章 エラー要因の検出

9. 2 1 : 1 接続

1:1接続の場合は出力位置から検出位置のどこでエラーがあるのか判断できないため、要因1(出力ピン接続不良)と要因2(入力ピン接続不良)の違いの判断はつきません。又入力信号が("L"又は"H")に固定になった場合、要因3及び要因4(GND又はVccにショートしている)なのか、要因1(出力ピンの浮き等)によって入力信号が固定となっているのかの判断はつきません。(入力オープン時の入力信号値の認識は条件により異なります。)

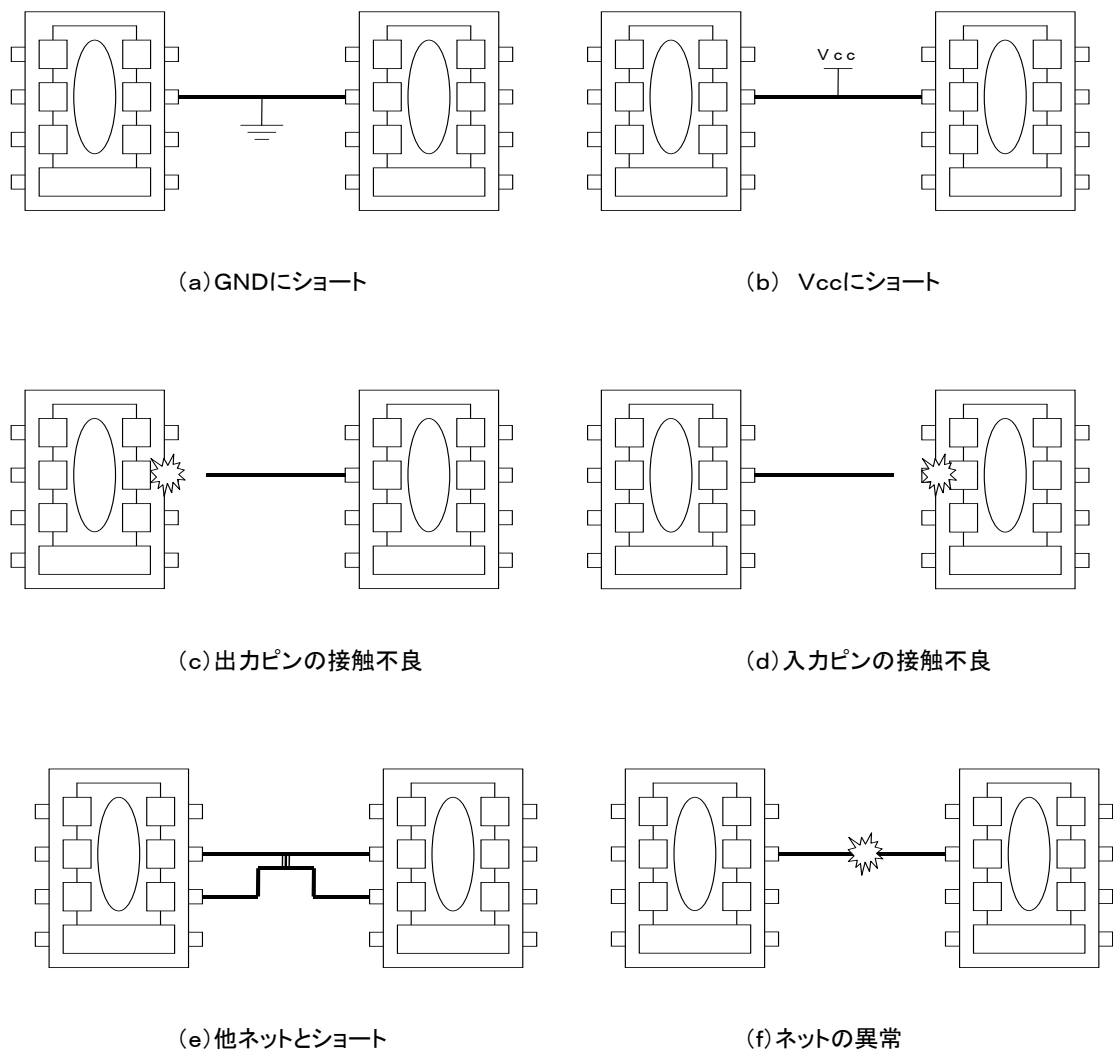


図9. 2-1 1:1接続エラー要因

1:1接続の場合、エラー要因の判断は、以下の様になります。

表9. 2-1 1:1接続エラー要因の判断

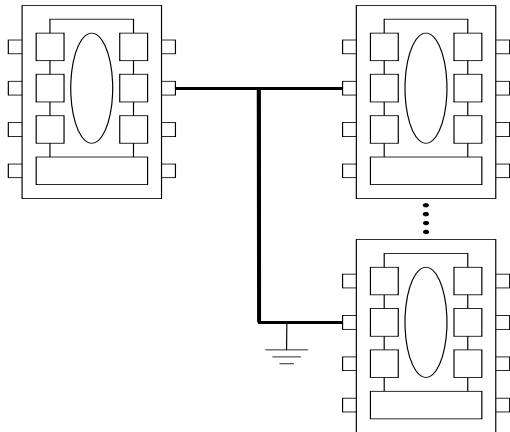
項	試験結果	判断	図
1	入力値="L"固定の場合	対象となるネットがGndに接地している	(a)
		出力ピンの接続不良(ピンの浮き)	(c)
		入力ピンの接続不良(ピンの浮き)	(d)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
2	入力値="H"固定の場合	対象となるネットがVccにショートしている	(b)
		出力ピンの接続不良	(c)
		入力ピンの接続不良	(d)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
3	出力値≠入力値*1	他のネットへのショート	(e)

*1:入力開放により発振している場合が想定されますが、可能性は低いと考えられます。

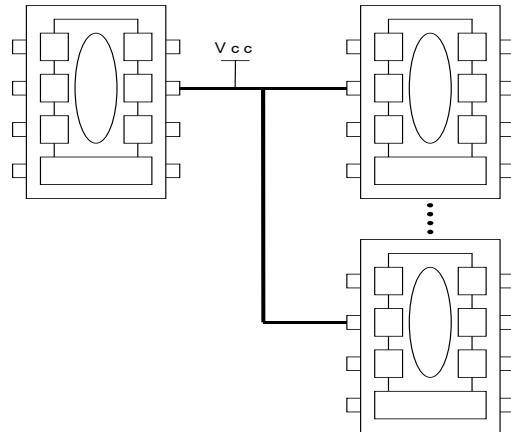
第9章 エラー要因の検出

9.3 1:n接続

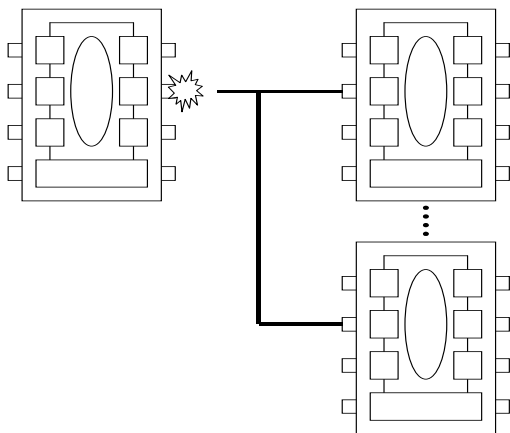
1:n接続の場合はエラーの場所により要因2(入力ピン接続不良)が検出される場合があります。1:n接続されている入力ピンの一部だけがエラーを検出し、他の入力ピンは、正常値の場合、エラーを検出した入力ピンが異常であると判断できます。



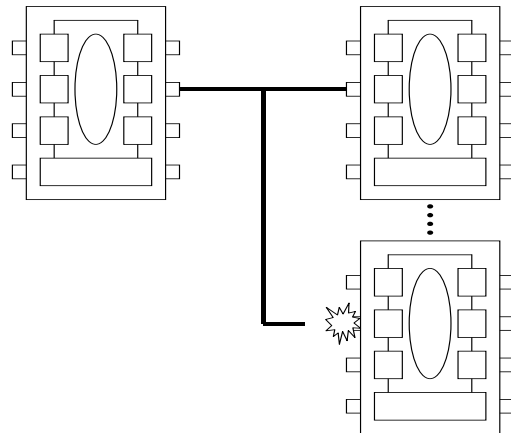
(a) GNDにショート



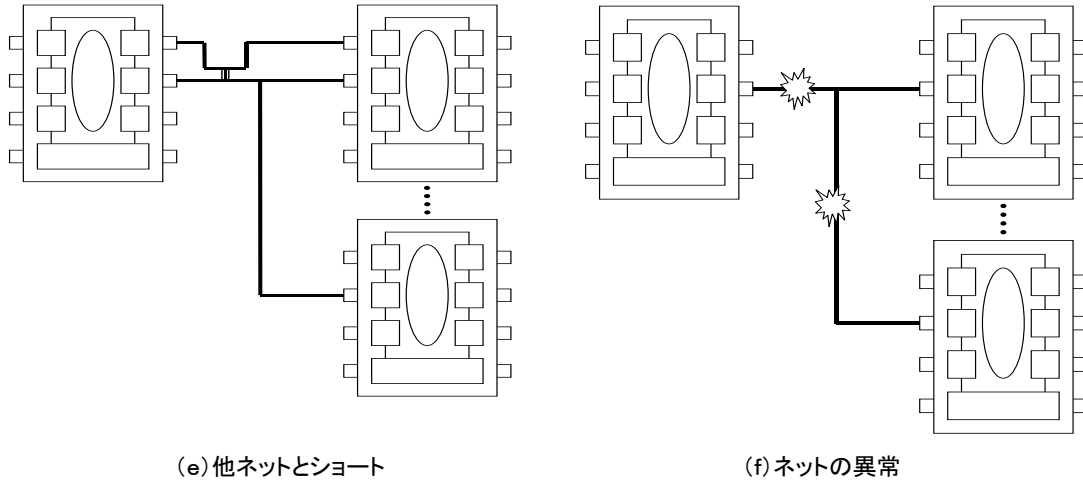
(b) Vccにショート



(c) 出力ピンの接触不良



(d) 入力ピンの接触不良



(e) 他ネットとショート

(f) ネットの異常

図9. 3-1 1:n接続エラー要因

1:n接続の場合、エラー要因の判断は、以下のようになります。

表9. 3-1 1:n接続のエラー要因判断

項	試験結果(ネット内)	判断	図
1	全入力ピン値="L"固定の場合	対象となるネットがGndに接地している	(a)
		出力ピンの接続不良(ピンの浮き)	(c)
		全入力ピンの接続不良*1(ピンの浮き)	(d)'
		ネットの異常(パターンの切断、ビアの不良等)	(f)
2	全入力ピン値="H"固定の場合	対象となるネットがVccにショートしている	(b)
		出力ピンの接続不良(ピンの浮き)	(c)
		全入力ピンの接続不良*1(ピンの浮き)	(d)'
		ネットの異常(パターンの切断、ビアの不良等)	(f)
3	入力ピン値="L"固定と 入力ピン値≠"L"固定が混在する場合	"L"固定となった入力ピンの接続不良	(d)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
4	入力ピン値="H"固定と 入力ピン値≠"H"固定が混在する場合	"H"固定となった入力ピンの接続不良	(d)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
5	出力ピン値≠入力ピン値の場合	他のネットへのショート	(e)

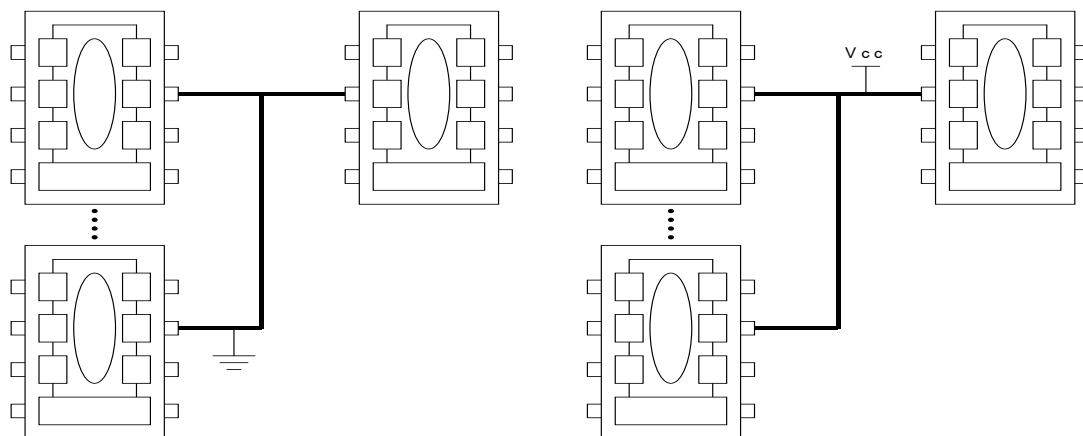
* 1: 可能性はありますが、可能性は低いと考えられます。

* 2: 出力ピンがフロートのため、各入力信号が不定状態となり入力値が一致しないと予想できます。

第9章 エラー要因の検出

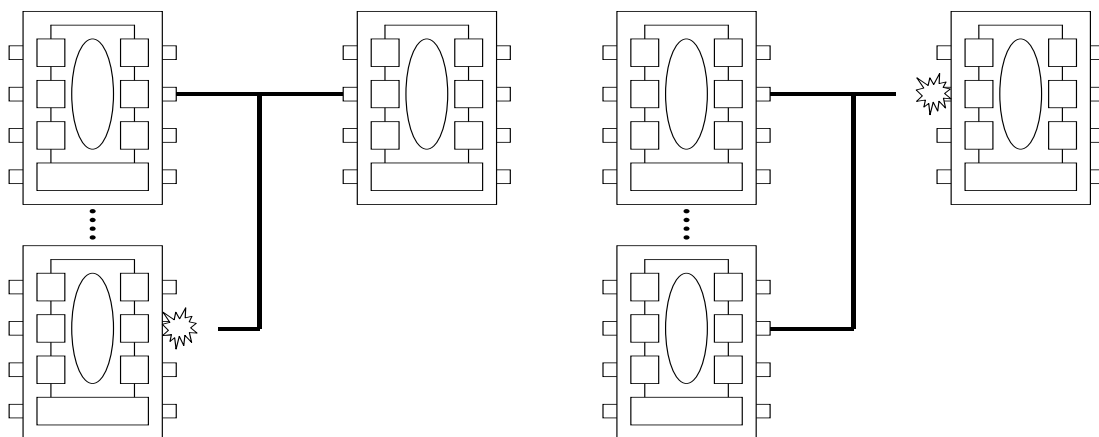
9.4 n : 1 接続

n : 1 接続の場合、多くは出力ピンがHi-Z制御される回路となります。試験の方法は1つの出力ピンから値を出力し、他の出力ピンはHi-Z状態にします。この場合、エラーの場所により要因1(入力ピン接続不良)が検出される場合があります。ある特定の出力ピンから値を出力した場合のみ入力ピンでエラーを検出し、他の出力ピンの試験では、正常であった場合、エラーを検出した出力ピンが異常であると判断できます。



(a) GNDにショート

(b) Vccにショート



(c) 出力ピンの接触不良

(d) 入力ピンの接触不良

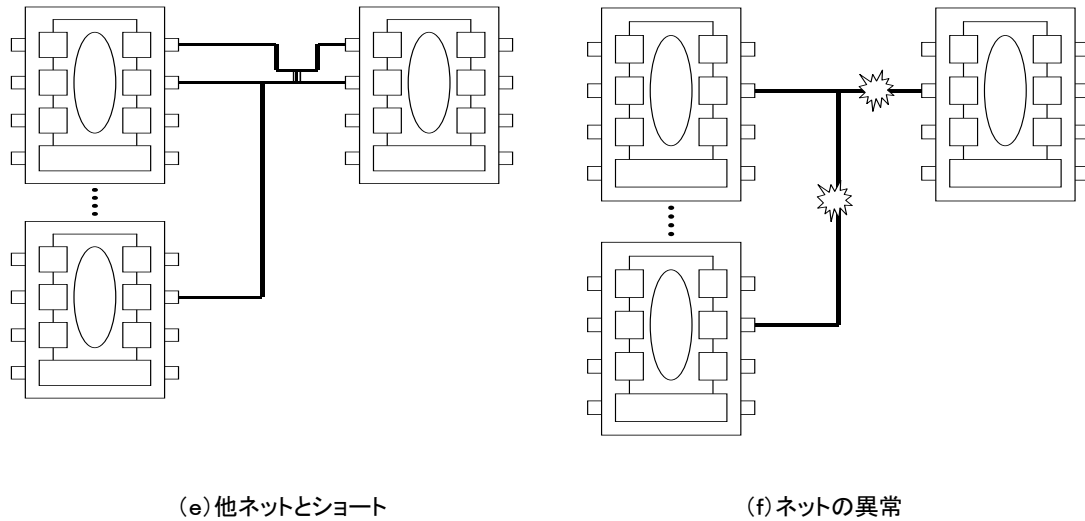


図9. 4-1 n:1接続エラー要因

n:1接続の場合、エラー要因の判断は、以下のようになります。

表9. 4-1 n:1接続エラー要因判断

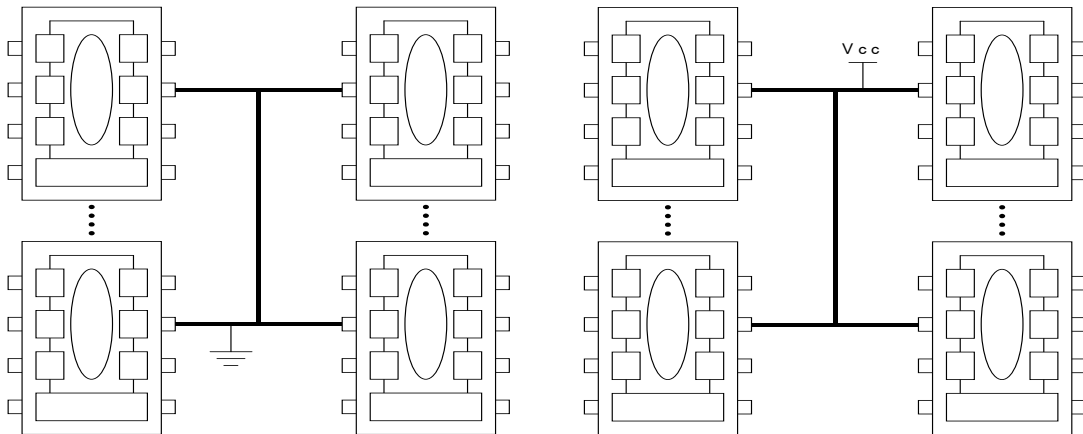
項	試験結果	判断	図
1	入力値の全パターン="L"固定の場合	対象となるネットがGndに接地している	(a)
		入力ピンの接続不良(ピンの浮き)	(d)
		全出力ピンの接続不良*1(ピンの浮き)	(c)'
		ネットの異常(パターンの切断、ビアの不良等)	(f)
2	入力値の全パターン="H"固定の場合	対象となるネットがVccにショートしている	(b)
		入力ピンの接続不良(ピンの浮き)	(d)
		全出力ピンの接続不良*1(ピンの浮き)	(c)'
		ネットの異常(パターンの切断、ビアの不良等)	(f)
3	出力に対する正常入力値と異常入力値が混在する場合	異常パターンを検出した出力ピンの接続不良	(c)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
4	上記以外のエラーを検出した場合	他のネットへのショート	(e)

*1:可能性はありますが、可能性は低いと考えられます。

第9章 エラー要因の検出

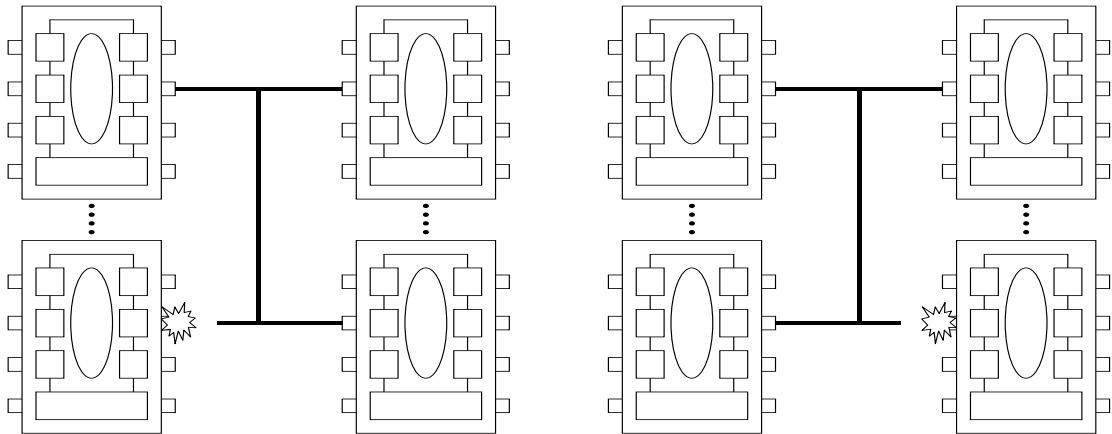
9.5 n:n接続

n:n接続の場合、1:n接続とn:1接続の組み合わせと考えられます。試験の方法はn:1接続と同様、1つの出力ピンから値を出力し、他の出力ピンはHi-Z状態にします。この場合、エラーの場所により要因1（入力ピン接続不良）が検出される場合があります。ある特定の出力ピンから値を出力した場合のみ入力ピンでエラーを検出し、他の出力ピンの試験では、正常であった場合、エラーを検出した出力ピンが異常であると判断できます。



(a) GNDにショート

(b) Vccにショート



(c) 出力ピンの接触不良

(d) 入力ピンの接触不良

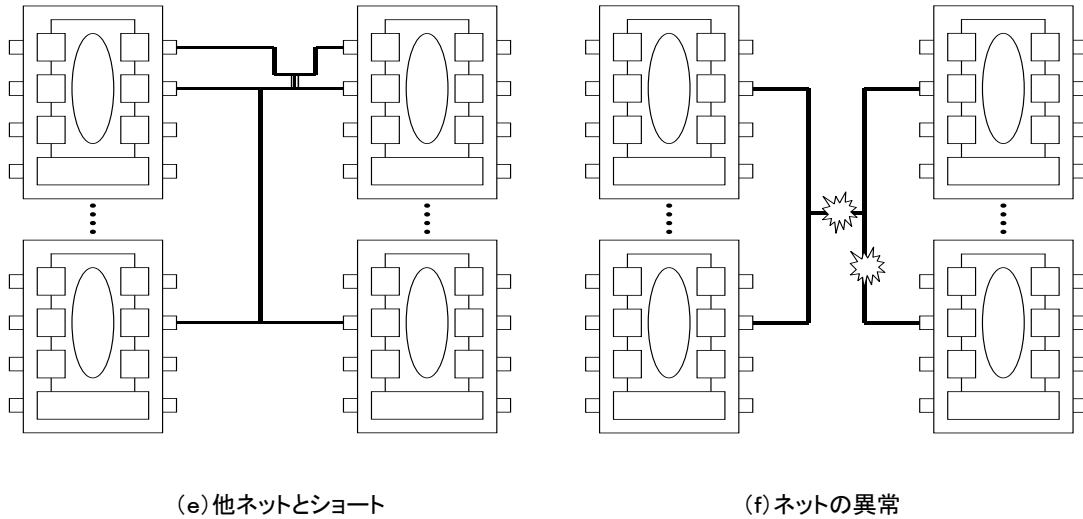


図9. 5-1 n:n接続エラー要因

n:n接続の場合、エラー要因の判断は、以下のようになります。

表9. 5-1 n:n接続エラー要因判断

項	試験結果	判断	図
1	全入力ピン値="L"固定の場合	対象となるネットがGndに接地している	(a)
		全入力ピンの接続不良(ピンの浮き)* ¹	(d)
		全出力ピンの接続不良(ピンの浮き)* ¹	(c)'
		ネットの異常(パターンの切断、ビアの不良等)	(f)
2	全入力ピン値="H"固定の場合	対象となるネットがVccにショートしている	(b)
		入力ピンの接続不良(ピンの浮き)* ¹	(d)
		全出力ピンの接続不良(ピンの浮き)* ¹	(c)'
		ネットの異常(パターンの切断、ビアの不良等)	(f)
3	同一ネットの複数の入力ピンに対して 入力ピン値="L"固定と 入力ピン値≠"L"固定が混在する場合	"L"固定となった入力ピンの接続不良	(d)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
4	同一ネットの複数の入力ピンに対して 入力ピン値="H"固定と 入力ピン値≠"H"固定が混在する場合	"H"固定となった入力ピンの接続不良	(d)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
5	特定の出力ピンからのパターンで全ての 入力ピンが異常を検出した場合。	異常パターンを検出した出力ピンの接続不良	(c)
		ネットの異常(パターンの切断、ビアの不良等)	(f)
6	上記以外のエラーを検出した場合	他のネットへのショート	(e)

デバッグソリューションズがここで提供する情報は、正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。ここに記載される情報は、2003年3月におけるものです。訂正、変更、改版に追従していない場合があります。最終的な確認はヘルプデスクにお問い合わせ下さい。

Web <http://www.debsol.com>
E-Mail mail@debsol.com

デバッグソリューションズ
Debug Solutions